

(1) Japanese Patent Application Laid-Open No. 2000-183303

(2) Japanese Patent Application Laid-Open No. 2000-223671

The following is English translation of an extract from the above-identified documents relevant to the present application.

Fig. 24 is a cross-section drawing that shows an example of manufacturing process of a capacitor of a DRAM in the embodiment 10 in the order of the process. Fig. 24, as well as Figs 11 and 12, shows the cross section of B-B line in Fig. 10 (a) and also shows only the region of the capacitor C of the DRAM.

After the process of Fig. 8 in the embodiment 1 (A titanium oxide film 75 is formed instead of a titanium nitride film 47.), as shown in Fig. 24 (a), an iridium film 84, a ruthenium film 85 and a silicon oxide film 86 are formed on a silicon nitride film 75, and a patterned photo resist film 70 is formed on a silicon oxide film 86.

The ruthenium film 85 is used as a part of a hard mask at etching of the iridium film 84. The silicon oxide film 86 functions as a hard mask at etching of the ruthenium film 85.

Secondly, as shown in Fig. 24 (b), the silicon oxide film 86 is etched with the photo resist film 70 as a mask, and a hard mask 87 for patterning the ruthenium film 85 is formed.

Next, as shown in Fig. 24 (c), the photo resist film 70 is removed.

After that, as shown in Fig. 24 (d), the ruthenium film 85 is patterned with the hard mask 87 made of a silicon oxide film as a mask, and a hard mask 88 made of ruthenium is formed.

Subsequently, as shown in Fig. 24 (e), by etching the iridium film 84 with the hard masks 87 and 88 as a mask, a lower electrode 51 is formed.

Then, as shown in Fig. 24 (f), a PZT film 89 is deposited without removing the hard masks 87 and 88. The benefit of depositing the PZT film 89 without removing the hard masks 87 and 88 in this way is as below.

Since the PZT film 89 is deposited without removing the hard masks 87 and 88, it is possible to prevent the deformation of the lower electrode 51 involved in the removal of the hard masks 87 and 88, which is generally unfavorable deformation for a microfabrication such as the pattern of the lower electrode 51 becomes thin or the shoulder of the lower electrode 51 becomes round.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-183303

(P 2000-183303A)

(43)公開日 平成12年6月30日(2000.6.30)

(51)Int.Cl. ⁷	識別記号	F I	ターコード (参考)
H01L 27/108		H01L 27/10	651
21/8242			451
27/10	451		621 B
			681 F

審査請求 未請求 請求項の数33 O L (全42頁)

(21)出願番号 特願平10-352559

(22)出願日 平成10年12月11日(1998.12.11)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 湯之上 隆

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72)発明者 野尻 一男

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74)代理人 100080001

弁理士 筒井 大和

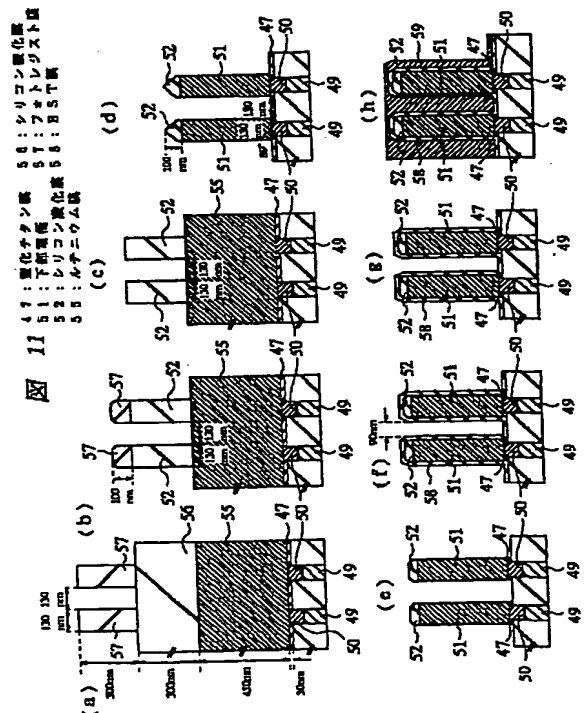
最終頁に続く

(54)【発明の名称】半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 ハードマスクの除去工程に伴うパターンの細り、パターン上面の荒れの発生、下地絶縁膜の削れを防止し、高信頼な容量絶縁膜の形成する。

【解決手段】 DRAMのメモリセルの下部電極51となるルテニウム膜55およびシリコン酸化膜56を形成後、シリコン酸化膜56上にフォトリソist膜57をパターンニングする。フォトリソist膜57をマスクとしてシリコン酸化膜56をエッチングし、ハードマスクであるシリコン酸化膜52を形成する。フォトリソist膜57を除去後、シリコン酸化膜52をマスクとしてルテニウム膜55をエッチングし、下部電極51を形成する。下地の窒化チタン膜47をさらにエッチングした後、シリコン酸化膜52を除去することなく、容量絶縁膜となるBST膜58を堆積する。



【特許請求の範囲】

【請求項1】 以下の工程を含む半導体集積回路装置の製造方法：

(a) 集積回路ウエハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき第1の導電膜を形成する工程；

(b) 前記第1の導電膜上に高誘電体または強誘電体膜からなる第1の誘電体膜パターンを形成する工程；

(c) 前記第1の誘電体膜パターンがある状態で、前記第1の導電膜に対して、ドライエッチングを施すことにより、前記第1の導電膜をパターニングする工程；

(d) パターニングされた前記第1の導電膜および前記第1の誘電体膜パターン表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき高誘電体または強誘電体膜からなる第2の誘電体膜を形成する工程；

(e) 前記第2の誘電体膜上に前記メモリセルの情報蓄積容量素子の上部電極を構成すべき第2の導電膜を形成する工程。

【請求項2】 請求項1記載の半導体集積回路装置の製造方法であって、前記(c)工程ではフォトリソパターンは使用しないことを特徴とする半導体集積回路装置の製造方法。

【請求項3】 請求項2記載の半導体集積回路装置の製造方法であって、前記第1の誘電体膜と前記第2の誘電体膜は、実質的に同一の分子構造を有する物質からなることを特徴とする半導体集積回路装置の製造方法。

【請求項4】 請求項3記載の半導体集積回路装置の製造方法であって、前記第1の導電膜は白金族元素またはその酸化物からなることを特徴とする半導体集積回路装置の製造方法。

【請求項5】 以下の工程を含む半導体集積回路装置の製造方法：

(a) 集積回路ウエハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき白金族またはその酸化物からなる第1の導電膜を形成する工程；

(b) 前記第1の導電膜上に第1の無機膜パターンを形成する工程；

(c) 前記第1の無機膜パターンがある状態で、前記第1の導電膜に対して、ドライエッチングを施すことにより、前記第1の導電膜をパターニングする工程；

(d) パターニングされた前記第1の導電膜および前記第1の無機膜パターン表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき第2の誘電体膜を形成する工程；

(e) 前記第2の誘電体膜上に前記メモリセルの情報蓄積容量素子の上部電極を構成すべき第2の導電膜を形成する工程。

【請求項6】 請求項5記載の半導体集積回路装置の製造方法であって、前記(c)工程ではフォトリソパターンは使用しないことを特徴とする半導体集積回路装

置の製造方法。

【請求項7】 請求項6記載の半導体集積回路装置の製造方法であって、前記第1の無機膜パターンはシリコン酸化物膜からなることを特徴とする半導体集積回路装置の製造方法。

【請求項8】 請求項6記載の半導体集積回路装置の製造方法であって、前記第1の無機膜パターンは金属と窒素を含む化合物からなることを特徴とする半導体集積回路装置の製造方法。

【請求項9】 以下の工程を含む半導体集積回路装置の製造方法：

(a) 集積回路ウエハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべきルテニウム、イリジウムまたはそれらの酸化物からなる第1の導電膜を形成する工程；

(b) 前記第1の導電膜上に第1の白金膜パターンを形成する工程；

(c) 前記第1の白金膜パターンがある状態で、前記第1の導電膜に対して、ドライエッチングを施すことにより、前記第1の導電膜をパターニングする工程；

(d) パターニングされた前記第1の導電膜および前記第1の白金膜パターン表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき高誘電体または強誘電体膜からなる第1の誘電体膜を形成する工程；

(e) 前記第1の誘電体膜上に前記メモリセルの情報蓄積容量素子の上部電極を構成すべき第2の導電膜を形成する工程。

【請求項10】 請求項9記載の半導体集積回路装置の製造方法であって、前記(c)工程ではフォトリソパターンは使用しないことを特徴とする半導体集積回路装置の製造方法。

【請求項11】 請求項10記載の半導体集積回路装置の製造方法であって、前記第1の導電膜は、ルテニウムまたはその酸化物からなることを特徴とする半導体集積回路装置の製造方法。

【請求項12】 請求項10記載の半導体集積回路装置の製造方法であって、前記第1の導電膜は、イリジウムまたはその酸化物からなることを特徴とする半導体集積回路装置の製造方法。

【請求項13】 (a) 第1の主面を有する集積回路基体；

(b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する複数の柱状下部電極；

(c) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜；

(d) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの

情報蓄積容量素子を構成する単一または複数の上部電極；

を有し、前記複数の柱状下部電極の各々は、その上面の面積がその底面の面積の25%以下となるように、その側面がテーパを有していることを特徴とする半導体集積回路装置。

【請求項14】 請求項13記載の半導体集積回路装置であって、前記複数の柱状下部電極の少なくとも一部は、その幅が狭い方向の断面がほぼ三角形の形状を有することを特徴とする半導体集積回路装置。

【請求項15】 請求項14記載の半導体集積回路装置であって、前記複数の柱状下部電極の各々はその幅が狭い方向の断面形状が2以上のアスペクト比を有することを特徴とする半導体集積回路装置。

【請求項16】 請求項14記載の半導体集積回路装置であって、前記複数の柱状下部電極の各々はその幅が狭い方向の断面形状が3以上のアスペクト比を有することを特徴とする半導体集積回路装置。

【請求項17】 (a) 第1の主面を有する集積回路基体；

(b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する複数の柱状下部電極；

(c) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜；

(d) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する単一または複数の上部電極；

を有し、前記複数の柱状下部電極の各々の上面に対応する部分の対応するメモリセルの情報蓄積容量素子に対する容量の寄与は3%以下であることを特徴とする半導体集積回路装置。

【請求項18】 請求項17記載の半導体集積回路装置であって、前記複数の柱状下部電極の少なくとも一部はその幅が狭い方向の断面がほぼ三角形の形状を有することを特徴とする半導体集積回路装置。

【請求項19】 請求項18記載の半導体集積回路装置であって、前記複数の柱状下部電極の各々はその幅が狭い方向の断面形状が2以上のアスペクト比を有することを特徴とする半導体集積回路装置。

【請求項20】 請求項18記載の半導体集積回路装置であって、前記複数の柱状下部電極の各々はその幅が狭い方向の断面形状が3以上のアスペクト比を有することを特徴とする半導体集積回路装置。

【請求項21】 (a) 第1の主面を有する集積回路基体；

(b) 前記第1の主面上にその幅と同程度またはそれ以

下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する複数の柱状下部電極；

(c) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜；

(d) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する単一または複数の上部電極；

を有し、前記複数の柱状下部電極の各々はその最大の容積を占める下部電極主要部とその上面を覆うように配置された材質の異なる下部電極上端部を含み、この下部電極上端部の頭部両端部には前記下部電極主要部の頭部両端部の断面形状と比較して大きな面取り形状を有していることを特徴とする半導体集積回路装置。

【請求項22】 請求項21記載の半導体集積回路装置であって、前記複数の柱状下部電極の各々の下部電極上端部は台形状の断面を有することを特徴とする半導体集積回路装置。

【請求項23】 請求項21記載の半導体集積回路装置であって、前記複数の柱状下部電極の各々の下部電極上端部は三角形の断面を有することを特徴とする半導体集積回路装置。

【請求項24】 請求項21記載の半導体集積回路装置であって、前記複数の柱状下部電極の各々の下部電極上端部は頭部側面が厚さ方向に半分以上切り取られた長方形の断面を有することを特徴とする半導体集積回路装置。

【請求項25】 請求項21記載の半導体集積回路装置であって、前記複数の柱状下部電極の各々の下部電極上端部は頭部側面が厚さ方向に半分以上渡って丸みを帯びさせた断面形状を有することを特徴とする半導体集積回路装置。

【請求項26】 (a) 第1の主面を有する集積回路基体；

(b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成するルテニウムまたはその酸化物を主要な構成要素とする複数の柱状下部電極；

(c) 前記複数の柱状下部電極の各々の上端部に設けられた白金からなる導電膜；

(d) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜；

(e) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する単一または複数の上部電極；

10

20

30

40

50

を有することを特徴とする半導体集積回路装置。

【請求項27】 請求項26記載の半導体集積回路装置であって、前記複数の柱状下部電極の各々の厚さはその上に形成された前記導電膜よりも厚いことを特徴とする半導体集積回路装置。

【請求項28】 請求項27記載の半導体集積回路装置であって、前記複数の柱状下部電極の各々の厚さはその上に形成された前記導電膜よりも2倍以上厚いことを特徴とする半導体集積回路装置。

【請求項29】 (a) 第1の主面を有する集積回路基10体；

(b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれダイナミックRAMのメモリセルの情報蓄積容量素子を構成するシリジウムまたはその酸化物を主要な構成要素とする複数の柱状下部電極；

(c) 前記複数の柱状下部電極の各々の上端部に設けられた白金からなる導電膜；

(d) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体20膜；

(e) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する単一または複数の上部電極；

を有することを特徴とする半導体集積回路装置。

【請求項30】 請求項29記載の半導体集積回路装置であって、前記複数の柱状下部電極の各々の厚さはその上に形成された前記導電膜よりも厚いことを特徴とする30半導体集積回路装置。

【請求項31】 請求項30記載の半導体集積回路装置であって、前記複数の柱状下部電極の各々の厚さはその上に形成された前記導電膜よりも2倍以上厚いことを特徴とする半導体集積回路装置。

【請求項32】 (a) 第1の主面を有する集積回路基10体；

(b) 前記第1の主面上に設けられた第1の膜パターン；

(c) 前記第1の膜パターン上に設けられた白金族元素40またはその酸化物からなる第2の膜パターン；

(d) 前記第2の膜パターンをドライエッチングによりパターンニングする際に、その側面に付着した側壁付着膜；

(e) 前記側壁付着膜および前記第2の膜パターンを覆うように、前記第1の膜パターン上に直接または間接に形成された絶縁膜；

を有することを特徴とする半導体集積回路装置。

【請求項33】 以下の工程を含む半導体集積回路装置の製造方法：

(a) 集積回路ウエハの主面上に第1の膜を形成する工程；

(b) 前記第1の膜上に無機部材からなる第2の膜を形成する工程；

(c) 前記第2の膜上にフォトリソ膜を形成する工程；

(d) 前記フォトリソ膜をパターンニングする工程；

(e) パターンニングされた前記フォトリソ膜がある状態で、前記第2の膜に対してドライエッチング処理を施すことによって、前記第2の膜をパターンニングするとともに、そのパターンニングの側面に側壁付着膜を形成する工程；

(f) パターンニングされ、側壁付着膜を有する前記第2の膜のある状態で、前記第1の膜に対して、ドライエッチング処理を施すことによって、前記第1の膜をパターンニングする工程。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強（高）誘電体キャパシタを有する半導体集積回路装置およびその製造方法に関し、特に、キャパシタの下部電極を構成する導電材料を高アスペクト比であるいは高異方性で形成するプロセスに適用して有効な技術に関するものである。

【0002】

【従来の技術】特開平10-98162号公報（湯之上ら）には、P₊などの薄膜をレジストマスクを用いたドライエッチングでパターンニングする際、蒸気圧の低い反応生成物をパターンの側面に残留させず、しかも高い寸法精度で微細なパターンを形成することを目的として、少なくとも下側半分の側面がほぼ垂直で、頭部の外周部に順テーパまたは丸みを有する所定のパターンのフォトリソをマスクにして、薄膜パターンの側面にその下端に達する順テーパが形成されるように、ドライエッチングによりパターンニングする技術が記載されている。

【0003】また、特開平8-153707号公報（渡嘉敷）には、白金や導電性酸化物の微細パターンの形成過程で、その表面に生じた炭素やハロゲン元素等の汚染を除去し、かつ、電極表面状態を電極材料形成時と同等あるいは極めて近い状態にすることを目的として、ルテニウムまたはルテニウム酸化物等を含む電極を選択的にドライエッチングした後に、引き続き酸素、オゾン、水蒸気または窒素酸化物ガスを用いて電極表面を処理する技術が記載されている。

【0004】また、特開平9-266200号公報（中川ら）は、強誘電体や白金の微細加工の容易な実現を目的として、以下の製造技術を開示している。すなわち、半導体基板およびデバイス絶縁膜上に下層白金膜、強誘電体膜および上層白金膜の積層膜を形成し、さらに前記積層膜厚の10分の1以下の膜厚のチタン膜を形成する。チタン膜をフォトリソ膜を用いてパターンニング50

した後、このパターニングされたチタン膜を用いて前記積層膜厚を酸素濃度 40% の酸素および塩素の混合ガスでエッチングする。その後チタン膜を塩素ガスでエッチングし除去する。

【0005】

【発明が解決しようとする課題】 1 Gbit 以降の大容量 DRAM(Dynamic Random Access Memory)は、メモリセルの微細化に伴う蓄積電荷量の減少を補う対策として、情報蓄積容量素子(キャパシタ)の容量絶縁膜を比誘電率が 20 程度であって非ペロブスカイト型構造を有する Ta_2O_5 、比誘電率が 100 以上で ABO_3 型複酸化物すなわちペロブスカイト型複酸化物である BST ($(Ba, Sr)TiO_3$) 等の高誘電体材料、さらには、PZT ($PbZr_{1-x}Ti_xO_3$)、PLT ($PbLa_{1-x}Ti_xO_3$)、PLZT、 $PbTiO_3$ 、 $SrTiO_3$ 、 $BaTiO_3$ 、といったペロブスカイト構造等の結晶構造を含む強誘電体で構成することが検討されている。他方、不揮発性メモリの分野においても、前記した強誘電体材料の分極反転を記憶保持に利用した強誘電体メモリの開発が進められている。

【0006】キャパシタの容量絶縁膜を前記のような強誘電体材料で構成する場合、あるいは、不揮発性メモリの分極反転用膜に前記のような強誘電体材料を用いる場合には、前記文献に記載されているように、強誘電体材料膜を挟む電極用の導電膜をこれらの材料に対して親和性の高い、例えば白金族元素(ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、白金(Pt))を主構成材料とする金属、あるいはそれらの酸化物で構成する必要がある。

【0007】ところが、それら白金族金属またはその酸化物は、一般に異方性良くエッチングすることが困難であり、また、エッチング残りによる短絡不良の発生が懸念される。たとえば Pt を使用してキャパシタを形成する場合の問題点として、基板上に堆積した Pt 薄膜をドライエッチングで加工する際に、蒸気圧の低い反応生成物がパターンの側面に多量に付着し、これがキャパシタ同士の短絡を引き起こす原因になる。このようなパターンの側面に付着する反応生成物の存在がパターンの異方性を悪くする原因ともなる。

【0008】すなわち、本発明者らの検討によれば、1 Gビット DRAM のキャパシタに高誘電体の BST を容量絶縁膜に用いた場合、下部電極のサイズとして $0.13 \mu m$ の最小幅、 $0.45 \mu m$ の高さが必要とされる。また、下部電極間のスペースには $0.13 \mu m$ の間隔が要求される。このような微細なパターンを実用に耐えるだけの信頼性ととも製造するには 80 度以上、好ましくは 85 度以上のテーパ角が必要である。ここで、テーパ角は、下部電極の側壁と下地材料表面とのなす角度をいう。

【0009】図 27 は、テーパ角と微細パターン形状との関係を模式的に示した断面図である。図 27 (a) に示すようにテーパ角が 90 度であることが理想である。パターン底面の幅を $0.13 \mu m$ 、パターン高さを $0.45 \mu m$ と仮定すれば、テーパ角が 80 度の場合(図 27 (f))では、パターン高さが実現できず、テーパ角が 82 度(図 27 (e))となって初めてパターン高さが確保できる。しかしこれではパターン上面の面積が確保できず、テーパ角が 85 度の場合(図 27 (d))でパターン上面の面積がある程度確保でき、テーパ角が 87 度の場合(図 27 (c))でパターン上面の面積が十分に確保できる。テーパ角が 89 度の場合(図 27 (b))には、ほぼ理想状態となる。

【0010】一方、本発明者らは、窒化チタン膜等をマスクとしてルテニウム等の白金族金属あるいはそれらの酸化物を塩素を含む酸素プラズマにおいてエッチングする技術について検討し、エッチングガスの大流量化およびオーバーエッチングを図ることにより、テーパ角が 89 度のほぼ理想的なエッチング断面形状を実現する未だ公知にされていない技術を開発した。

【0011】ところが、エッチング直後においてはほぼ理想的なエッチング断面形状であっても、マスクである窒化チタン膜等を除去する処理の後に、そのマスク除去処理によりエッチング形状が鈍るつまりテーパ角の鈍化あるいはパターンの細りが発生するという問題がある。また、マスク除去処理により下部電極である白金族金属あるいはその酸化物の表面が粗面化し、容量絶縁膜の接着性が低下するという問題がある。さらに、マスクである窒化チタン膜の除去の際のエッチング処理により、柱状下部電極の底部に隣接する下地絶縁膜の削れが生じる。このような削れの発生は、容量絶縁膜の段差被覆性の困難性を高め、高信頼性の容量絶縁膜を形成する観点からは好ましくない。

【0012】本発明の目的は、BST 等の強誘電体膜に適したルテニウムあるいは酸化ルテニウム等の微細なエッチング加工を実現することにある。

【0013】また、本発明の目的は、窒化チタン膜等のハードマスクの除去工程に伴うパターンの細り、パターン上面の荒れの発生、下地絶縁膜の削れを防止し、高信頼な容量絶縁膜の形成工程を提供することにある。

【0014】さらに本発明の目的は、蓄積電荷形成工程を簡略化することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に項に分けて説明すれば、次のとおりである。

【0017】1. 以下の工程を含む半導体集積回路装置

の製造方法：

(a) 集積回路ウエハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき第1の導電膜を形成する工程；

(b) 前記第1の導電膜上に高誘電体または強誘電体膜からなる第1の誘電体膜パターンを形成する工程；

(c) 前記第1の誘電体膜パターンがある状態で、前記第1の導電膜に対して、ドライエッチングを施すことによって、前記第1の導電膜をパターンニングする工程；

(d) パターンニングされた前記第1の導電膜および前記第1の誘電体膜パターン表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき高誘電体または強誘電体膜からなる第2の誘電体膜を形成する工程；

(e) 前記第2の誘電体膜上に前記メモリセルの情報蓄積容量素子の上部電極を構成すべき第2の導電膜を形成する工程。

【0018】2. 前記項1において、前記(c)工程ではフォトレジストパターンは使用しないことを特徴とする半導体集積回路装置の製造方法。

【0019】3. 前記項2において、前記第1の誘電体膜と前記第2の誘電体膜は、実質的に同一の分子構造を有する物質からなることを特徴とする半導体集積回路装置の製造方法。

【0020】4. 前記項3において、前記第1の導電膜は白金族元素またはその酸化物からなることを特徴とする半導体集積回路装置の製造方法。

【0021】5. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 集積回路ウエハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき白金族またはその酸化物からなる第1の導電膜を形成する工程；

(b) 前記第1の導電膜上に第1の無機膜パターンを形成する工程；

(c) 前記第1の無機膜パターンがある状態で、前記第1の導電膜に対して、ドライエッチングを施すことによって、前記第1の導電膜をパターンニングする工程；

(d) パターンニングされた前記第1の導電膜および前記第1の無機膜パターン表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき第2の誘電体膜を形成する工程；

(e) 前記第2の誘電体膜上に前記メモリセルの情報蓄積容量素子の上部電極を構成すべき第2の導電膜を形成する工程。

【0022】6. 前記項5において、前記(c)工程ではフォトレジストパターンは使用しないことを特徴とする半導体集積回路装置の製造方法。

【0023】7. 前記項6において、前記第1の無機膜パターンはシリコン酸化膜からなることを特徴とする半導体集積回路装置の製造方法。

【0024】8. 前記項6において、前記第1の無機膜

パターンは金属と窒素を含む化合物からなることを特徴とする半導体集積回路装置の製造方法。

【0025】9. 以下の工程を含む半導体集積回路装置の製造方法：

(a) 集積回路ウエハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべきルテニウム、イリジウムまたはそれらの酸化物からなる第1の導電膜を形成する工程；

(b) 前記第1の導電膜上に第1の白金膜パターンを形成する工程；

(c) 前記第1の白金膜パターンがある状態で、前記第1の導電膜に対して、ドライエッチングを施すことによって、前記第1の導電膜をパターンニングする工程；

(d) パターンニングされた前記第1の導電膜および前記第1の白金膜パターン表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき高誘電体または強誘電体膜からなる第1の誘電体膜を形成する工程；

(e) 前記第1の誘電体膜上に前記メモリセルの情報蓄積容量素子の上部電極を構成すべき第2の導電膜を形成する工程。

【0026】10. 前記項9において、前記(c)工程ではフォトレジストパターンは使用しないことを特徴とする半導体集積回路装置の製造方法。

【0027】11. 前記項10において、前記第1の導電膜は、ルテニウムまたはその酸化物からなることを特徴とする半導体集積回路装置の製造方法。

【0028】12. 前記項10において、前記第1の導電膜は、イリジウムまたはその酸化物からなることを特徴とする半導体集積回路装置の製造方法。

【0029】13. 以下の構成を有する半導体集積回路装置：

(a) 第1の主面を有する集積回路基体；

(b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する複数の柱状下部電極；

(c) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜；

(d) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する単一または複数の上部電極；を有し、前記複数の柱状下部電極の各々は、その上面の面積がその底面の面積の25%以下となるように、その側面がテーパを有している。

【0030】14. 前記項13において、前記複数の柱状下部電極の少なくとも一部は、その幅が狭い方向の断面がほぼ三角形の形状を有することを特徴とする半導体集積回路装置。

【0031】15. 前記項14において、前記複数の柱

状下部電極の各々はその幅が狭い方向の断面形状が2以上のアスペクト比を有することを特徴とする半導体集積回路装置。

【0032】16. 前記項14において、前記複数の柱状下部電極の各々はその幅が狭い方向の断面形状が3以上のアスペクト比を有することを特徴とする半導体集積回路装置。

【0033】17. 以下の構成を有する半導体集積回路装置：

- (a) 第1の主面を有する集積回路基体；
- (b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する複数の柱状下部電極；
- (c) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜；
- (d) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する単一または複数の上部電極；を有し、前記複数の柱状下部電極の各々の上面に対応する部分の対応するメモリセルの情報蓄積容量素子に対する容量の寄与は3%以下である。

【0034】18. 前記項17において、前記複数の柱状下部電極の少なくとも一部はその幅が狭い方向の断面がほぼ三角形の形状を有することを特徴とする半導体集積回路装置。

【0035】19. 前記項18において、前記複数の柱状下部電極の各々はその幅が狭い方向の断面形状が2以上のアスペクト比を有することを特徴とする半導体集積回路装置。

【0036】20. 前記項18において、前記複数の柱状下部電極の各々はその幅が狭い方向の断面形状が3以上のアスペクト比を有することを特徴とする半導体集積回路装置。

【0037】21. 以下の構成を有する半導体集積回路装置：

- (a) 第1の主面を有する集積回路基体；
- (b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する複数の柱状下部電極；
- (c) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜；
- (d) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する単一または複数の上部電極；を有し、前記複数の柱状下部電極の各々はその最大の容積を占める下部電極主要部とその上面を覆うように

配置された材質の異なる下部電極上端部を含み、この下部電極上端部の頭部両端部には前記下部電極主要部の頭部両端部の断面形状と比較して大きな面取り形状を有している。

【0038】22. 前記項21において、前記複数の柱状下部電極の各々の下部電極上端部は台形状の断面を有することを特徴とする半導体集積回路装置。

【0039】23. 前記項21において、前記複数の柱状下部電極の各々の下部電極上端部は三角形の断面を有することを特徴とする半導体集積回路装置。

【0040】24. 前記項21において、前記複数の柱状下部電極の各々の下部電極上端部は頭部側面が厚さ方向に半分以上切り取られた長方形の断面を有することを特徴とする半導体集積回路装置。

【0041】25. 前記項21において、前記複数の柱状下部電極の各々の下部電極上端部は頭部側面が厚さ方向に半分以上に渡って丸みを帯びさせた断面形状を有することを特徴とする半導体集積回路装置。

【0042】26. 以下の構成を有する半導体集積回路装置：

- (a) 第1の主面を有する集積回路基体；
- (b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成するルテニウムまたはその酸化物を主要な構成要素とする複数の柱状下部電極；
- (c) 前記複数の柱状下部電極の各々の上端部に設けられた白金からなる導電膜；
- (d) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜；
- (e) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する単一または複数の上部電極。

【0043】27. 前記項26において、前記複数の柱状下部電極の各々の厚さはその上に形成された前記導電膜よりも厚いことを特徴とする半導体集積回路装置。

【0044】28. 前記項27において、前記複数の柱状下部電極の各々の厚さはその上に形成された前記導電膜よりも2倍以上厚いことを特徴とする半導体集積回路装置。

【0045】29. 以下の構成を有する半導体集積回路装置：

- (a) 第1の主面を有する集積回路基体；
- (b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれダイナミックRAMのメモリセルの情報蓄積容量素子を構成するイリジウムまたはその酸化物を主要な構成要素とする複数の柱状下部電極；

(c) 前記複数の柱状下部電極の各々の上端部に設けられた白金からなる導電膜;

(d) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜;

(e) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する単一または複数の上部電極。

【0046】30. 前記項29において、前記複数の柱状下部電極の各々の厚さはその上に形成された前記導電膜よりも厚いことを特徴とする半導体集積回路装置。

【0047】31. 前記項30において、前記複数の柱状下部電極の各々の厚さはその上に形成された前記導電膜よりも2倍以上厚いことを特徴とする半導体集積回路装置。

【0048】32. 以下の構成を有する半導体集積回路装置:

(a) 第1の主面を有する集積回路基体;

(b) 前記第1の主面上に設けられた第1の膜パターン;

(c) 前記第1の膜パターン上に設けられた白金族元素またはその酸化物からなる第2の膜パターン;

(d) 前記第2の膜パターンをドライエッチングによりパターンニングする際に、その側面に付着した側壁付着膜;

(e) 前記側壁付着膜および前記第2の膜パターンを覆うように、前記第1の膜パターン上に直接または間接に形成された絶縁膜。

【0049】33. 以下の工程を含む半導体集積回路装置の製造方法:

(a) 集積回路ウエハの主面上に第1の膜を形成する工程;

(b) 前記第1の膜上に無機部材からなる第2の膜を形成する工程;

(c) 前記第2の膜上にフォトレジスト膜を形成する工程;

(d) 前記フォトレジスト膜をパターンニングする工程;

(e) パターンニングされた前記フォトレジスト膜がある状態で、前記第2の膜に対してドライエッチング処理を施すことによって、前記第2の膜をパターンニングするとともに、そのパターンニングの側面に側壁付着膜を形成する工程;

(f) パターンニングされ、側壁付着膜を有する前記第2の膜のある状態で、前記第1の膜に対して、ドライエッチング処理を施すことによって、前記第1の膜をパターンニングする工程。

【0050】さらに、本願のその他の発明の概要を項に分けて記載し、以下に示す。すなわち、

1. (a) 集積回路ウエハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき白金族またはその酸化物からなる第1の導電膜を形成する工程;

(b) 前記第1の導電膜上に第1の無機膜パターンを形成する工程;

(c) 前記第1の無機膜パターンがある状態で、前記第1の導電膜に対して、ドライエッチングを施すことによって、前記第1の導電膜をパターンニングする工程;

(d) パターンニングされた前記第1の導電膜および前記第1の無機膜パターン表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき第2の誘電体膜を形成する工程;

(e) 前記第2の誘電体膜上に前記メモリセルの情報蓄積容量素子の上部電極を構成すべき第2の導電膜を形成する工程;

を有し、前記第1の無機膜パターンはシリコン窒化膜、白金膜、ルテニウム膜、BST膜、PZT膜、またはこれらとシリコン酸化膜との積層膜、の何れかからなることを特徴とする半導体集積回路装置の製造方法。

20 【0051】2. (a) 第1の主面を有する集積回路基体;

(b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成する複数の柱状下部電極;

(c) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜;

(d) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する単一または複数の上部電極;

を有し、前記複数の柱状下部電極の各々は、その上面と前記第1の誘電体膜との間に第2の誘電体膜が形成され、前記第1の誘電体膜が接する前記柱状下部電極の第1の面積 S_1 と、前記第2の誘電体膜が接する前記柱状下部電極の第2の面積 S_2 とは、 $S_1 / (S_1 + S_2) > 85\%$ 、の関係を有する半導体集積回路装置。

30 【0052】3. 前記項2において、前記第1の誘電体膜の誘電率は前記第2の誘電体膜の誘電率以上であることを特徴とする半導体集積回路装置。

【0053】4. (a) 集積回路ウエハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき白金族またはその酸化物からなる第1の導電膜を形成する工程;

(b) 前記第1の導電膜上に第1の導電膜よりも膜厚の薄い第2の導電膜を形成する工程;

(c) 前記第2の導電膜上に第1の無機膜パターンを形成する工程;

50 (d) 前記第1の無機膜パターンがある状態で、前記第

1 および第2の導電膜に対して、ドライエッチングを施すことによって、前記第1および第2の導電膜をパターンニングする工程；(e) パターニングされた前記第1および第2の導電膜表面に前記メモリセルの情報蓄積容量素子の容量絶縁膜を構成すべき第2の誘電体膜を形成する工程；

(e) 前記第2の誘電体膜上に前記メモリセルの情報蓄積容量素子の上部電極を構成すべき第2の導電膜を形成する工程；

を有し、前記(d)工程の完了時またはオーバーエッチングの期間中に前記第1の無機膜パターンがエッチングされ、消失することを特徴とする半導体集積回路装置の製造方法。

【0054】5. 前記項4において、前記第1の導電膜の膜厚は、前記第2の導電膜の膜厚の10倍以上であることを特徴とする半導体集積回路装置の製造方法。

【0055】6. 前記項5において、前記第1の導電膜はルテニウム、イリジウムまたはそれらの酸化物からなり、前記第2の導電膜は白金からなることを特徴とする半導体集積回路装置の製造方法。

【0056】7. 前記項6において、前記第1の無機膜パターンは、シリコン酸化膜からなることを特徴とする半導体集積回路装置の製造方法。

【0057】8. (a) 第1の主面を有する集積回路基体；

(b) 前記第1の主面上にその幅と同程度またはそれ以下の間隔を置いて配置され、それぞれメモリセルの情報蓄積容量素子を構成するルテニウム、イリジウムまたはそれらの酸化物を主要な構成要素とする複数の柱状下部電極；

(c) 前記複数の柱状下部電極の各々の上端部に設けられた白金からなる導電膜；

(d) 前記柱状下部電極の各々の側面および上面に設けられたメモリセルの情報蓄積容量素子の容量絶縁膜を構成する高誘電体または強誘電体膜からなる第1の誘電体膜；

(e) 前記柱状下部電極の各々の側面および上面に設けられた前記第1の誘電体膜上に設けられたメモリセルの情報蓄積容量素子を構成する単一または複数の上部電極；

を有し、前記複数の柱状下部電極の各々の厚さはその上に形成された前記導電膜よりも10倍以上厚いことを特徴とする半導体集積回路装置。

【0058】9. (a) 集積回路ウェハの主面上にメモリセルの情報蓄積容量素子の下部電極を構成すべき白金族またはその酸化物からなる第1の導電膜を形成する工程；

(b) 前記第1の導電膜上に第1の導電膜よりも膜厚の薄い第2の導電膜を形成する工程；

(c) 前記第2の導電膜上に誘電体膜を形成する工程；

(d) 前記誘電体膜上に前記メモリセルの情報蓄積容量素子の上部電極を構成すべき白金族またはその酸化物からなる第3の導電膜を形成する工程；

(e) 前記第3の導電膜上に第3の導電膜よりも膜厚の薄い第4の導電膜を形成する工程；

(f) 前記第4の導電膜をパターンニングし、前記第4の導電膜のパターンが存在する状態で前記第3の導電膜の導電膜をパターンニングする工程；

(g) 前記第2の導電膜をパターンニングし、前記第2の導電膜のパターンが存在する状態で前記第1の導電膜の導電膜をパターンニングする工程；

を有することを特徴とする半導体集積回路装置の製造方法。

【0059】10. 前記項9において、前記第1および第3の導電膜はルテニウム、イリジウムまたはそれらの酸化物であり、前記第2および第4の導電膜は白金であることを特徴とする半導体集積回路装置の製造方法。

【0060】11. 前記項10において、前記第2および第4の導電膜は残存することを特徴とする半導体集積回路装置の製造方法。

【0061】

【発明の実施の形態】以下の実施の形態では特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【0062】さらに、以下の実施の形態では便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0063】また、本願で半導体集積回路装置というときは、シリコンウェハ上に作られるものだけでなく、特にそうでない旨明示された場合を除き、TFT液晶等の他の基板上に作られるもの等も含むものとする。また、本願でウェハの主面または主面上という場合は、状況により基板の主面それ自体または基板上に単層または多層の薄膜が形成された上面をいう。

【0064】また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その数に限定されるものではなく、特定の数以上でも以下でもよい。

【0065】更に、以下の実施の形態において、その構成要素(要素ステップ等を含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合を除き、必ずしも必須のものではないことはいうまでもない。

【0066】同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似

するもの等を含むものとする。このことは前記数値、範囲等についても同様である。

【0067】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0068】(実施の形態1) 図1は、実施の形態1のDRAMを形成した半導体チップの全体平面図である。図示のように、単結晶シリコンからなる半導体チップ1Aの主面には、X方向(半導体チップ1Aの長辺方向)およびY方向(半導体チップ1Aの短辺方向)に沿って多数のメモリアレイMARYがマトリクス状に配置されている。X方向に沿って互いに隣接するメモリアレイMARYの間にはセンスアンプSAが配置されている。半導体チップ1Aの主面の中央部には、ワードドライバWD、データ線選択回路などの制御回路や、入出力回路、ボンディングパッドなどが配置されている。

【0069】図2は、実施の形態2のDRAMの等価回路図である。図示のように、このDRAMのメモリアレイ(MARY)は、マトリクス状に配置された複数のワード線WL(WL0、WL1、WLn...)と複数のビット線BLおよびそれらの交点に配置された複数のメモリセル(MC)により構成されている。1ビットの情報を記憶する1個のメモリセルは、1個の情報蓄積容量素子Cとこれに直列に接続された1個のメモリセル選択用MISFETQsとで構成されている。メモリセル選択用MISFETQsのソース、ドレインの一方は、情報蓄積容量素子Cと電気的に接続され、他方はビット線BLと電気的に接続されている。ワード線WLの一端は、ワードドライバWDに接続され、ビット線BLの一端は、センスアンプSAに接続されている。

【0070】次に、本実施の形態のDRAMの製造方法を図面を用いて工程順に説明する。図3～図12および図15は、実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【0071】まず、図3に示すように、素子分離領域および不純物が導入されたウエル領域を形成する。

【0072】p型で比抵抗が $10\Omega\text{cm}$ 程度の単結晶シリコンからなる集積回路基体1(集積回路ウエハ)を用意し、たとえば 850°C 程度でウェット酸化して形成した膜厚 10nm 程度の薄いシリコン酸化膜(図示せず)およびたとえばCVD(Chemical Vapor Deposition)法で形成した膜厚 140nm 程度のシリコン窒化膜(図示せず)を集積回路基体1上に堆積する。なお、本願で集積回路ウエハと言うときは、半導体集積回路装置製造用のウエハまたは半導体ウエハであって、SOS、SOI、単結晶シリコン基板、TFT等の絶縁基板を含む。また、言うまでもないが、未加工のウエハだけでなく、ウエハ工程途中の絶縁膜や導電膜が形成されたものも含まれる。また、本願で集積回路基体と言うときは、言うま

でもないことであるが、未加工のウエハやダイシング工程が完了した半導体単結晶片だけでなく、ウエハ工程途中のものも含まれる。一般に半導体チップはペレットを指し、場合により半導体集積回路装置用ウエハまたは半導体ウエハであって、SOS、SOI、単結晶シリコン基板、TFT等の絶縁基板を含む。

【0073】次に、フォトレジスト膜(図示せず)をマスクにして、溝5が形成される領域の前記シリコン窒化膜およびシリコン酸化膜をパターンニングし、このシリコン窒化膜をマスクとして集積回路基体1をドライエッチングすることにより、素子分離領域の集積回路基体1に深さ $300\sim 400\text{nm}$ 程度の溝5を形成する。

【0074】次に、前記フォトレジスト膜を除去した後、前記のエッチングによって溝5の内壁に生じたダメージ層を除去するために、たとえば $850\sim 900^\circ\text{C}$ 程度のウェット酸化による薄い(膜厚 10nm 程度の)シリコン酸化膜6を溝5の内壁に形成し、たとえばオゾン(O_3)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積されたシリコン酸化膜(図示せず)を $300\sim 400\text{nm}$ 程度の膜厚で堆積する。このシリコン酸化膜は、 1000°C 程度でドライ酸化によりシンタリング(焼き締め)を行なってもよい。

【0075】次に、このシリコン酸化膜をCMP法により研磨して溝5以外の領域のシリコン酸化膜を除去し、溝5の内部にシリコン酸化膜7を残して素子分離領域を形成する。なお、このCMP法による研磨の前に、溝5の領域にシリコン窒化膜を形成して、溝5領域のシリコン酸化膜が過剰に深く研磨されるディッシングを防止することができる。

【0076】次に、集積回路基体1の表面に残存しているシリコン酸化膜およびシリコン窒化膜をたとえば熱リン酸を用いたウェットエッチングで除去した後、メモリセルを形成する領域(メモリアレイ)の集積回路基体1にn型不純物、たとえばP(リン)をイオン打ち込みしてn型半導体領域10を形成し、メモリアレイと周辺回路の一部(nチャネル型MISFETを形成する領域)にp型不純物、たとえばB(ホウ素)をイオン打ち込みしてp型ウエル11を形成し、周辺回路の他の一部(pチャネル型MISFETを形成する領域)にn型不純物、たとえばP(リン)をイオン打ち込みしてn型ウエル12を形成する。また、このイオン打ち込みに続いて、MISFETのしきい値電圧を調整するための不純物、たとえばBF₃(フッ化ホウ素)をp型ウエル11およびn型ウエル12にイオン打ち込みする。n型半導体領域10は、入出力回路などから集積回路基体1を通じてメモリアレイのp型ウエル11にノイズが侵入するのを防止するために形成される。

【0077】次に、集積回路基体1の表面をたとえばHF(フッ酸)系の洗浄液を使って洗浄した後、集積回路

基体 1 を 850°C 程度でウェット酸化して p 型ウエル 11 および n 型ウエル 12 の各表面に膜厚 7nm 程度の清浄なゲート酸化膜 13 を形成する。特に限定はされないが、前記ゲート酸化膜 13 を形成した後、集積回路基体 1 を NO (酸化窒素) 雰囲気中または N₂O (亜酸化窒素) 雰囲気中で熱処理することによって、ゲート酸化膜 13 と集積回路基体 1 との界面に窒素を偏析させてもよい (酸化処理)。

【0078】次に、図 4 に示すように、ゲート酸化膜 13 の上部にゲート電極 14A、14B、14C を形成する。ゲート電極 14A は、メモリセル選択用 MISFET の一部を構成し、活性領域以外の領域ではワード線 WL として使用される。このゲート電極 14A (ワード線 WL) の幅、すなわちゲート長は、メモリセル選択用 MISFET の短チャネル効果を抑制して、しきい値電圧を一定値以上に確保できる許容範囲内の寸法で構成され、隣接するゲート電極 14A (ワード線 WL) 同士の間隔は、フォトリソグラフィの解像限界で決まる寸法で構成できる。ゲート電極 14B およびゲート電極 14C は、周辺回路の n チャネル型 MISFET および p チャネル型 MISFET の各一部を構成する。

【0079】ゲート電極 14A (ワード線 WL) およびゲート電極 14B、14C は、たとえば P (リン) などの n 型不純物がドーパされた膜厚 70nm 程度の多結晶シリコン膜を集積回路基体 1 上に CVD 法で堆積し、次いでその上部に膜厚 50nm 程度の WN (タングステンナイトライド) 膜と膜厚 100nm 程度の W 膜とをスパッタリング法で堆積し、さらにその上部に膜厚 1.50nm 程度のシリコン窒化膜 15 を CVD 法で堆積した後、フォトレジスト膜 16 をマスクにしてこれらの膜をパターニングすることにより形成する。WN 膜は、高温熱処理時に W 膜と多結晶シリコン膜とが反応して両者の界面に高抵抗のシリサイド層が形成されるのを防止するバリア層として機能する。バリア層は、WN 膜の他、TiN (チタンナイトライド) 膜などを使用することもできる。

【0080】次に、フォトレジスト膜 16 を除去した後、図 5 に示すように、n 型ウエル 12 に p 型不純物、たとえば B (ホウ素) をイオン打ち込みしてゲート電極 14C の両側の n 型ウエル 12 に p⁺ 型半導体領域 17 を形成する。また、p 型ウエル 11 に n 型不純物、たとえば P (リン) をイオン打ち込みしてゲート電極 14B の両側の p 型ウエル 11 に n⁺ 型半導体領域 18 を形成し、ゲート電極 14A の両側の p 型ウエル 11 に n 型半導体領域 19 を形成する。これにより、メモリアレイにメモリセル選択用 MISFET Qs が形成される。

【0081】次に、集積回路基体 1 上に CVD 法で膜厚 50~100nm 程度のシリコン窒化膜 20 を堆積した後、メモリアレイのシリコン窒化膜 20 をフォトレジスト膜 21 で覆い、周辺回路のシリコン窒化膜 20 を異方性エッチングすることにより、ゲート電極 14B、14

C の側壁にサイドウォールスペーサ 20a を形成する。このエッチングは、ゲート酸化膜 13 や素子分離溝 5 に埋め込まれたシリコン酸化膜 7 の削れ量を最少とするために、シリコン酸化膜に対するシリコン窒化膜 20 のエッチングレートが大きくなるようなエッチングガスを使用して行う。また、ゲート電極 14B、14C 上のシリコン窒化膜 15 の削れ量を最少とするために、オーバーエッチング量を必要最小限にとどめるようにする。

【0082】次に、フォトレジスト膜 21 を除去した後、周辺回路領域の n 型ウエル 12 に p 型不純物、たとえば B (ホウ素) をイオン打ち込みして p チャネル型 MISFET の p⁺ 型半導体領域 22 (ソース、ドレイン) を形成し、周辺回路領域の p 型ウエル 11 に n 型不純物、たとえば As (ヒ素) をイオン打ち込みして n チャネル型 MISFET の n⁺ 型半導体領域 23 (ソース、ドレイン) を形成する。これにより、周辺回路領域に LDD (Lightly Doped Drain) 構造を備えた p チャネル型 MISFET Qp および n チャネル型 MISFET Qn が形成される。

【0083】次に、図 6 に示すように、集積回路基体 1 上に膜厚 300nm 程度の SOG (Spin-On Glass) 膜 24 をスピン塗布した後、集積回路基体 1 を 800°C、1 分程度熱処理して SOG 膜 24 をシンタリング (焼き締め) する。また、SOG 膜 24 の上部に膜厚 600nm 程度のシリコン酸化膜 25 を堆積した後、このシリコン酸化膜 25 を CMP 法で研磨してその表面を平坦化する。さらに、シリコン酸化膜 25 の上部に膜厚 100nm 程度のシリコン酸化膜 26 を堆積する。このシリコン酸化膜 26 は、CMP 法で研磨されたときに生じた前記シリコン酸化膜 25 の表面の微細な傷を補修するために堆積する。シリコン酸化膜 25、26 は、たとえばオゾン (O₃) とテトラエトキシシラン (TEOS) とをソースガスに用いたプラズマ CVD 法で堆積する。シリコン酸化膜 26 に代えて PSG (Phospho Silicate Glass) 膜などを堆積してもよい。

【0084】次に、フォトレジスト膜をマスクにしたドライエッチングでメモリセル選択用 MISFET Qs の n 型半導体領域 19 (ソース、ドレイン) の上部のシリコン酸化膜 26、25 および SOG 膜 24 を除去する。このエッチングは、シリコン窒化膜 20 に対するシリコン酸化膜 26、25 および SOG 膜 24 のエッチングレートが大きくなるような条件で行い、n 型半導体領域 19 や素子分離溝 5 の上部を覆っているシリコン窒化膜 20 が完全には除去されないようにする。続いて、前記フォトレジスト膜をマスクにしたドライエッチングでメモリセル選択用 MISFET Qs の n 型半導体領域 19 (ソース、ドレイン) の上部のシリコン窒化膜 20 とゲート酸化膜 13 とを除去することにより、n 型半導体領域 19 (ソース、ドレイン) の一方の上部にコンタクトホール 28 を形成し、他方の上部にコンタクトホール 2

9を形成する。このエッチングは、シリコン酸化膜（ゲート酸化膜13および素子分離溝5内のシリコン酸化膜7）に対するシリコン窒化膜15のエッチングレートが大きくなるような条件で行い、n型半導体領域19や素子分離溝5が深く削れないようにする。また、このエッチングは、シリコン窒化膜20が異方的にエッチングされるような条件で行い、ゲート電極14A（ワード線WL）の側壁にシリコン窒化膜20が残るようにする。これにより、フォトリソグラフィの解像限界以下の微細な径を有するコンタクトホール28、29がゲート電極14A（ワード線WL）に対して自己整合で形成される。コンタクトホール28、29をゲート電極14A（ワード線WL）に対して自己整合で形成するには、あらかじめシリコン窒化膜20を異方性エッチングしてゲート電極14A（ワード線WL）の側壁にサイドウォールスペーサを形成しておいてもよい。

【0085】次に、フォトレジスト膜を除去し、フッ酸＋フッ化アンモニウム混液などのエッチング液を使って、コンタクトホール28、29の底部に露出した基板表面のドライエッチング残渣やフォトレジスト残渣などを除去した後、コンタクトホール28、29の内部にプラグ30を形成する。プラグ30は、シリコン酸化膜26の上部にn型不純物（たとえばP（リン））をドーパした多結晶シリコン膜をCVD法で堆積した後、この多結晶シリコン膜をCMP法で研磨してコンタクトホール28、29の内部に残すことにより形成する。

【0086】次に、図7に示すように、シリコン酸化膜26の上部に膜厚200nm程度のシリコン酸化膜31を堆積した後、集積回路基体1を800℃程度で熱処理する。シリコン酸化膜31は、たとえばオゾン（O₃）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。この熱処理によって、プラグ30を構成する多結晶シリコン膜中のn型不純物がコンタクトホール28、29の底部からメモリセル選択用MISFETQsのn型半導体領域19（ソース、ドレイン）に拡散し、n型半導体領域19が低抵抗化される。

【0087】次に、フォトレジスト膜をマスクにしたドライエッチングで前記コンタクトホール28の上部のシリコン酸化膜31を除去してプラグ30の表面を露出させる。その後、新たなフォトレジスト膜をマスクにしたドライエッチングで周辺回路領域のシリコン酸化膜31、26、25、SOG膜24およびゲート酸化膜13を除去することにより、nチャネル型MISFETQnのn'型半導体領域23（ソース、ドレイン）の上部にコンタクトホール34、35を形成し、pチャネル型MISFETQpのp'型半導体領域22（ソース、ドレイン）の上部にコンタクトホール36、37を形成する。

【0088】次に、フォトレジスト膜を除去した後、シ

リコン酸化膜31の上部にビット線BLおよび周辺回路の第1層配線38、39を形成する。ビット線BLおよび第1層配線38、39を形成するには、まずシリコン酸化膜31の上部に膜厚50nm程度のTi膜をスパッタリング法で堆積し、集積回路基体1を800℃程度で熱処理する。次いで、Ti膜の上部に膜厚5.0nm程度のTiN膜をスパッタリング法で堆積し、さらにその上部に膜厚150nm程度のW膜と膜厚200nm程度のシリコン窒化膜40とをCVD法で堆積した後、フォトレジスト膜をマスクにしてこれらの膜をパターンニングする。

【0089】シリコン酸化膜31の上部にTi膜を堆積した後、集積回路基体1を800℃程度で熱処理することにより、Ti膜と下地Siとが反応し、nチャネル型MISFETQnのn'型半導体領域23（ソース、ドレイン）の表面とpチャネル型MISFETQpのp'型半導体領域22（ソース、ドレイン）の表面とプラグ30の表面とに低抵抗のTiSi₂（チタンシリサイド）層42が形成される。これにより、n'型半導体領域23、p'型半導体領域22およびプラグ30に接続される配線（ビット線BL、第1層配線38、39）のコンタクト抵抗を低減することができる。また、ビット線BLをW膜/TiN膜/Ti膜で構成することにより、そのシート抵抗を2Ω/□以下にまで低減できるので、情報の読み出し速度および書き込み速度を向上させることができると共に、ビット線BLと周辺回路の第1層配線38、39とを一つの工程で同時に形成することができるので、DRAMの製造工程を短縮することができる。さらに、周辺回路の第1層配線（38、39）をビット線BLと同層の配線で構成した場合には、第1層配線をメモリセルの上層のA1配線で構成する場合に比べて周辺回路のMISFET（nチャネル型MISFETQn、pチャネル型MISFETQp）と第1層配線とを接続するコンタクトホール（34～37）のアスペクト比が低減されるため、第1層配線の接続信頼性が向上する。

【0090】ビット線BLは、隣接するビット線BLとの間に形成される寄生容量をできるだけ低減して情報の読み出し速度および書き込み速度を向上させるために、その間隔がその幅よりも長くなるように形成する。

【0091】次に、フォトレジスト膜を除去した後、ビット線BLの側壁と第1層配線38、39の側壁とにサイドウォールスペーサ43を形成する。サイドウォールスペーサ43は、ビット線BLおよび第1層配線38、39の上部にCVD法でシリコン窒化膜を堆積した後、このシリコン窒化膜を異方性エッチングして形成する。

【0092】次に、図8に示すように、ビット線BLおよび第1層配線38、39の上部に膜厚300nm程度のSOG膜44をスピン塗布する。次いで、集積回路基体1を800℃、1分程度熱処理してSOG膜44をシタリング（焼き締め）する。SOG膜44は、BPSG

膜に比べてリフロー性が高く、微細な配線間のギャップフィル性に優れているので、フォトリソグラフィの解像限界程度まで微細化されたビット線BL同士の隙間を良好に埋め込むことができる。

【0093】次に、SOG膜44の上部に膜厚600nm程度のシリコン酸化膜45を堆積した後、このシリコン酸化膜45をCMP法で研磨してその表面を平坦化する。シリコン酸化膜45は、たとえばオゾン (O_3) とテトラエトキシシラン (TEOS) とをソースガスに用いたプラズマCVD法で堆積する。

【0094】このように、本実施の形態では、ビット線BLおよび第1層配線38、39の上部に成膜直後でも平坦性が良好なSOG膜44を塗布し、さらにその上部に堆積したシリコン酸化膜45をCMP法で平坦化する。これにより、ビット線BL同士の微細な隙間のギャップフィル性が向上すると共に、ビット線BLおよび第1層配線38、39の上部の絶縁膜の平坦化を実現できる。

【0095】次に、シリコン酸化膜45の上部に膜厚100nm程度のシリコン酸化膜46を堆積する。このシリコン酸化膜46は、CMP法で研磨されたときに生じた前記シリコン酸化膜45の表面の微細な傷を補修するために堆積する。シリコン酸化膜46は、たとえばオゾン (O_3) とテトラエトキシシラン (TEOS) とをソースガスに用いたプラズマCVD法で堆積する。

【0096】次に、シリコン酸化膜46の上部に膜厚50nm程度の窒化チタン膜47を堆積する。窒化チタン膜47は、CVD法あるいはスパッタ法により堆積できる。窒化チタン膜47は、後に説明するルテニウム膜のエッチングの際のストッパ膜として機能する。

【0097】次に、フォトレジスト膜をマスクにしたドライエッチングでコンタクトホール29の上部の窒化チタン膜47を除去し、さらに、シリコン酸化膜46、45、SOG膜44およびシリコン酸化膜31を除去してプラグ30の表面に達するスルーホール48を形成する。このシリコン酸化膜物系の被膜エッチングは、シリコン酸化膜46、45、31およびSOG膜44に対するシリコン窒化膜のエッチングレートが小さくなるような条件で行い、スルーホール48とビット線BLの合わせずれが生じた場合でも、ビット線BLの上部のシリコン窒化膜40やサイドウォールスペーサ43が深く削れないようにする。これにより、スルーホール48がビット線BLに対して自己整合で形成される。

【0098】次に、フォトレジスト膜を除去した後、フッ酸+フッ化アンモニウム混液などのエッチング液を使って、スルーホール48の底部に露出したプラグ30の表面のドライエッチング残渣やフォトレジスト残渣などを除去する。その際、スルーホール48の側壁に露出したSOG膜44もエッチング液に曝されるが、SOG膜44は、前記800℃程度のシンタリングによってフッ

酸系のエッチング液に対するエッチングレートが低減されているので、このウェットエッチング処理によってスルーホール48の側壁が大きくアンダーカットされることはない。

【0099】次に、スルーホール48の内部にプラグ49を形成する。プラグ49は、導電性部材であれば良く、特に材料は限定されない。たとえば多結晶シリコン、金属化合物たとえば窒化チタン膜からなる。プラグ49は、たとえば集積回路基体1の全面へのスルーホール48を埋め込む多結晶シリコン膜の堆積の後、この多結晶シリコン膜をエッチバックすることにより形成できる。

【0100】また、プラグ49の上部にバリアメタル50を形成する。バリアメタル50は、後に説明する情報蓄積容量素子の下部電極とプラグ49との間に形成されることとなり、情報蓄積容量素子の容量絶縁膜の熱処理等、高温熱工程の際の下部電極とプラグ49との反応を抑制する作用を有する。バリアメタル50としてたとえば、チタン、アルミニウムおよびシリコンの合金を用いることができる。バリアメタル50は、たとえば前記合金を集積回路基体1の全面に堆積した後、スルーホール48以外の前記合金をエッチバックすることにより形成できる。また、エッチバックに代えてCMP法による研磨を用いることができる。

【0101】次に、図9に示すように、ルテニウム金属からなる柱状の下部電極51、BSTからなる容量絶縁膜53およびルテニウム金属からなる上部電極54を有する情報蓄積容量素子Cを形成する。このように下部電極51としてBSTと親和性の高いルテニウム金属を用いることにより、高誘電体あるいは強誘電体であるBST膜を容量絶縁膜53に用いることができる。また、上部電極54をもルテニウム金属とすることにより、高誘電率のBST膜を絶縁膜としたMIM (Metal Insulator Metal) キャパシタを親和性良く構成できる。これにより1Gbit以上のDRAMの実現を図ることができる。なお、本願で高誘電体とは、BST等のごとく比誘電率が50以上のものを示す。一般に ABO_3 型ペロブスカイトまたはその類似構造のものが多い。また、本願で強誘電体とは、PZT等のごとく比誘電率が少なくとも100以上のものを示す。一般に ABO_3 型ペロブスカイトまたはその類似構造 (複合構造または層構造を含む) ものものが多い。

【0102】柱状の下部電極51の上面には、後に説明するルテニウム膜のエッチングの際のハードマスクの一部であるシリコン酸化膜52が残存している。このようなシリコン酸化膜52を残存させることによるプロセス上のメリットは後述する。一方、シリコン酸化膜52を残存させることにより、下部電極51と容量絶縁膜53との間に誘電率の小さなシリコン酸化膜52が介在することとなり、下部電極51の上面が実質上キャパシタと

して作用する場合の実効性が低下することとなる。しかし、下部電極 51 は、図 10 (a) の平面図に示すように、ビット線方向 (x 方向) に長辺を有する長方形の平面パターンで形成され、図 10 (b) の斜視図に示すように、細長い柱状で形成される。本実施の形態の場合の下部電極 51 の寸法を例示すれば、下部電極 51 の平面パターンの長辺方向に $0.39 \mu\text{m}$ 、短辺方向に $0.13 \mu\text{m}$ 、パターン間隔が $0.13 \mu\text{m}$ であり、柱状の下部電極 51 の高さが $0.45 \mu\text{m}$ である。このような数値を前提にすると、キャパシタとして働くべき下部電極 51 の表面積は、上面部 51 a の面積 ($0.13 \mu\text{m} \times 0.39 \mu\text{m} = 0.0507 \mu\text{m}^2$) + 側面部 51 b の面積 ($0.13 \mu\text{m} \times 0.45 \mu\text{m} \times 2 + 0.39 \mu\text{m} \times 0.45 \mu\text{m} \times 2 = 0.468 \mu\text{m}^2$) であり、仮に下部電極 51 の上面部 51 a がキャパシタとして寄与しないとしても、下部電極 51 の側面部 51 b の面積 ($0.468 \mu\text{m}^2$) が全表面積 ($0.5187 \mu\text{m}^2$) の約 90% を占有するため、全体としての容量値の低下は 10% 程度に止まる。つまり、情報蓄積容量素子 C の著しい蓄積性能の低下は発生しない。このような容量値の低下は許容できる範囲内の

【0103】なお、下部電極 51 の上面部 51 a がキャパシタとして寄与している割合は 3% 以下と考えられる。

【0104】なお、図 10 の平面パターンにおいては、長方形として描画しているが、実際の下部電極 51 の形状は、図示するような長方形で形成されるわけではなく、各稜部が丸みを帯びた形状あるいはテーパを有する形状で形成される。すなわち、図 10 の平面パターンはフォトリソグラフィマスクのパターンであり、露光光の回折現象等によりパターン形状は正確に再現されず、実際には長円あるいは楕円に近い形状で形成されることは言うまでもない。

【0105】以下、情報蓄積容量素子 C の形成工程を図 11 および図 12 に従って説明する。図 11 および図 12 は実施の形態 1 の DRAM の情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。なお、柱状下部電極 51 は、前記したとおり長方柱状形状を有するが、図 9 に示す情報蓄積容量素子 C の断面図は、図 10 における A-A 線断面を示している。一方、図 11 および図 12 においては、図 10 における B-B 線断面について説明する。本発明が適用される微細加工の領域では、図 10 に示す B-B 線断面の方向に下部電極 51 がパターン幅 $0.13 \mu\text{m}$ 、パターン間隔 $0.13 \mu\text{m}$ 、パターン高さが $0.45 \mu\text{m}$ で形成されることとなる。このような高アスペクト比の下部電極の形成は、下部電極 51 が異方性エッチングの困難なルテニウム等白金族で形成

されることを考慮すれば技術的困難性が極めて高くなる。本発明は、このような技術的困難性の高いエッチングを実現し、精密に形成された加工形状を損なうことなく情報蓄積容量素子 C を簡便に信頼性良く形成する点に意義があり、本発明の特徴を明瞭に説明するためにエッチング困難な方向である B-B 線断面について説明する。また、図 11 および図 12 においては、情報蓄積容量素子 C の部分のみを示す。

【0106】前記した図 8 の工程の後、図 11 (a) に示すように、窒化チタン膜 47 上にルテニウム膜 55 およびシリコン酸化膜 56 を形成し、シリコン酸化膜 56 上にパターンニングされたフォトレジスト膜 57 を形成する。

【0107】ルテニウム膜 55 は、たとえばスパッタ法または CVD 法により形成でき、膜厚は $0.45 \mu\text{m}$ とする。ルテニウム膜 55 は、後に下部電極 51 となるものであり、その膜厚は下部電極 51 の高さとなる。ルテニウム膜 55 の膜厚を調整することにより下部電極 51 の高さを調整できる。なお、ルテニウム膜 55 に代えて、二酸化ルテニウム膜を用いることができる。

【0108】シリコン酸化膜 56 は、ルテニウム膜 55 をエッチングする際のハードマスクとして機能するものであり、その組成および膜厚は、後のエッチング工程で減少することを考慮して決定する。ここでは、シリコン酸化膜 56 として、TEOS (テトラメトキシシラン) ガスを原料ガスに含むプラズマ CVD 法により形成されたシリコン酸化膜 (以下 PTEOS 膜という。) を用いた場合を例示する。PTEOS 膜の場合、後のエッチング工程により膜厚が減少することを考慮して、その膜厚は $0.3 \mu\text{m}$ とする。

【0109】フォトレジスト膜 57 は、シリコン酸化膜 56 をパターンニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。パターンニングは、図 10 (a) の下部電極 51 の平面パターンと同じパターンを用いる。すなわち、図 11 (a) の断面図においては、 $0.13 \mu\text{m}$ のラインアンドスペースで形成される。パターンは、プラグ 49 (バリアメタル 50) 上に形成し、後に下部電極 51 がプラグ 49 (バリアメタル 50) に接続されるように形成する。フォトレジスト膜 57 の膜厚はたとえば $0.3 \mu\text{m}$ とする。フォトレジスト膜 57 は、解像度の向上を考慮して EB (Electron Beam) レジストを用いることも可能である。

【0110】次に、図 11 (b) に示すように、フォトレジスト膜 57 をマスクとしてシリコン酸化膜 56 をパターンニングし、ハードマスクとなるシリコン酸化膜 52 を形成する。シリコン酸化膜 56 は異方性良くエッチングできるため、シリコン酸化膜 52 は、再現性良くフォトレジスト膜 57 のパターンを再現する。従って、シリコン酸化膜 52 はその底部において $0.13 \mu\text{m}$ のラインアンドスペースが確保される。シリコン酸化膜 56 のエ

27

ッチングは、たとえば狭電極反応性イオンエッチングを用いることができる。エッチング条件は、たとえば反応圧力を50mTorr、投入電力を上下電極に各々1kW、エッチングガスを四炭化ハフ素(C₄F₄)、アルゴンおよび酸素(O₂)を各々12sccm、400sccmおよび5sccm、基板温度を0℃とすることができる。このようなエッチング条件では、PTEOS膜のエッチングレートは約300nm/minでありフォトレジスト膜57に対する選択比は約3である。このため、シリコン酸化膜56のエッチング完了時には約100nmの膜厚のフォトレジスト膜57がシリコン酸化膜52の上部に残存する。

【0111】次に、図11(c)に示すように、フォトレジスト膜57を除去する。フォトレジスト膜57の除去にはたとえば酸素プラズマを用いたアッシングにより行える。これにより、バターニングされたシリコン酸化膜52が形成され、次工程におけるルテニウム膜55のエッチングの際のエッチングマスクに用いることができる。後に説明するように、ルテニウム膜55のエッチングガスに酸素系ガスを用いるため、マスクとして耐酸化性のマスクが必要であり、シリコン酸化膜52からなるマスクはこの要求を満足する。

【0112】次に、図11(d)に示すように、シリコン酸化膜52をマスクとしてルテニウム膜55をエッチングすることにより下部電極51を形成する。このルテニウム膜55のエッチングは、以下のエッチング方法を用いてエッチングすることができる。

【0113】図13は、ルテニウム膜55のエッチングに使用するエッチング装置の一例を示した断面概念図である。このエッチング装置は、その内容積が約33.3リットルの反応室101と、反応室101の排気口に接続された真空配管102と、真空配管102の途中に配置されたコントロールバルブCVと、真空配管102の他方に接続されたターボ分子ポンプTMPと、ターボ分子ポンプTMPの排気口側に設けられた荒引きバルブRVを介して接続されたメカニカルブースターポンプ(容積型荒引き用ドライポンプ)MBPとからなるオイルフリーな排気系を有する。反応室101は、減圧状態に維持できるだけの機械的強度を有し、前記した排気系により内部を高真空状態にすることができる。また、後に説明するガス供給系からの供給される処理ガス(エッチングガス)を排気系により排気する際に、コントロールバルブCVによるコンダクタンスの調整により反応室101内部の圧力を所望の値に調整することができる。

【0114】なお、反応室101の真空引きを大気圧から低真空度領域まで行う荒引き真空系を設けても良いが、図示は省略している。また、荒引き排気系はメカニカルブースターポンプMBPに代えてターボ型ドライポンプ、油回転ポンプ等を用いてもよい。

【0115】また、本エッチング装置は、マスフローコ

28

ントローラMFC1を介して塩素ガス(Cl₂)が、マスフローコントローラMFC2を介して酸素ガス

(O₂)が、反応室101に導入されるガス供給系を有している。なお、各マスフローコントローラの入出力側あるいは反応室101のガス導入部の直前等に適当なバルブ(ストップバルブ)を挿入できるが、図示は省略している。また、ガス供給系には適当なバージ系を設けることができるが、これも図示は省略している。また、塩素ガスと酸素ガスとの混合部分にマニホールドを設けることもできるが図示は省略している。さらに、他のガス系、たとえばシリコン酸化膜のエッチング用のフッ素系ガスの供給系、レジスタッシング用のガス系を設けてもよい。

【0116】反応室101内には、試料台103が設置されている。図示するように、半導体基板(半導体集積回路装置製造用ウェハ)1は試料台103上にフェイスアップで設置される。集積回路基体1は、たとえば6インチ径のシリコンウェハであり、たとえば静電チャックにより保持される。図示するように、本エッチング装置は、反応室101に1枚のウェハが導入される1枚葉エッチング装置である。また、図示するように、ガス供給ノズル110からガスが供給される。また、試料台103は、反応室101から電氣的にアイソレーションされ、バイアス用の高周波電力RF2が印加できるようになっている。これにより集積回路基体1に高周波バイアスを印加することが可能となる。

【0117】反応室101の上部は石英筒104で真空封止され、石英筒104の周囲には誘導結合コイル105が配置されている。誘導結合コイル105には、たとえば13.56MHzの高周波電源RF1が接続されている。高周波電源RF1の電力は、誘導結合コイル105を介した誘導結合により石英筒104および反応室101内にプラズマを発生する。このように誘導結合プラズマを用いて低動作圧力(高真空度領域)において高い密度のプラズマを発生する。ただし、本装置は、誘導結合プラズマに限られるものではなく、低圧力でのプラズマ発生機構であればこれを適用することが可能である。たとえば、ECR(Electron Cyclotron Resonance)プラズマ、ICP(Inductively Coupled Plasma)、マグネトロンRIEプラズマ、ヘリコン波プラズマ等を用いてもよい。

【0118】本エッチング装置の概要は前記の通りであるが、ルテニウム膜55を異方性良くエッチングする際に特徴的な装置特性を次に説明する。すなわち、ルテニウム膜55を異方性良くエッチングするには大流量のエッチングガスが供給され、これが高速で排気される。また、通常行われるよりの大きなオーバーエッチングが行われる。オーバーエッチングの概念については後述する。

【0119】本エッチング装置では、酸素と塩素の各ガ

スのトータルガス流量の供給能力が2000 sccmという大流量を可能とし、一方、このような大流量のガスを供給しても十分に低い動作圧力（たとえば15 mTorr）を得るために、ターボ分子ポンプTMPとして最大排気能力が2000リットル/秒のものをを用いている。なお、ターボ分子ポンプTMPの最大排気能力（圧縮比）を確保するためにその背圧を十分に低くできるだけの荒引き系の排気能力（荒引きバルブRVおよび配管のコンダクタンスを含めたメカニカルブースターポンプMBPの排気速度）が確保されていることはいうまでもない。

【0120】このように、排気速度が2000リットル/秒のターボ分子ポンプTMPを用いて排気系を構成したことにより、たとえば酸素と塩素とのトータルガス流量が約800 sccmのときに、実効排気速度として約600リットル/秒が得られる。なお、排気系の実効排気速度とは、真空配管102、コントロールバルブCVのコンダクタンス、ターボ分子ポンプTMP、荒引き排気系（メカニカルブースターポンプMBP、荒引きバルブRVおよび配管）を含めた排気系全体の排気速度をいう。

【0121】次に、前記したエッチング装置を用いて、ルテニウム膜55をエッチング方法について説明する。

【0122】反応室101内にマスフローコントローラMFC1、2を調整して塩素および酸素を各々80 sccmおよび720 sccmの流量で供給する。そして、コントロールバルブCVを調整して15 mTorrの圧力に調整する。さらに、誘導結合コイル105および基板に高周波電源RF1、2から各々500Wおよび200Wの高周波電力を印加してプラズマを生成させる。このプラズマで生成した主に酸素イオンまたは酸素ラジカルとルテニウム膜55との反応によりエッチングを行う。

【0123】また、このような条件で100%のオーバーエッチングを行う。ここで本明細書におけるオーバーエッチングの概念を図14を用いて説明する。図14は、たとえばチタンを含む下地膜（たとえば窒化チタン膜（TiN膜））上のルテニウム膜をエッチングした場合のプラズマ発光強度を処理時間についてプロットしたグラフである。プラズマ発光は、たとえばチタンの発光ピークである波長が406 nmの光をモニタできる。時刻 $t=0$ でエッチングを開始する。Ru膜がエッチングされている途中（時刻 $t=0\sim T1$ ）では、未だTiN膜は露出していないので406 nm光の発光強度は低いレベルで維持される。時刻 $t=T1$ に達すると、エッチングレートの相対的に速いウェハセンタの部分でRu膜がエッチングが終了し、下地のTiN膜が露出しはじめる。この結果、406 nm光の発光強度が上昇しはじめ、時間の経過すなわち下地のTiN膜の露出面積の増加に従い、406 nm光の発光強度が上昇す

る。時刻 $t=T2$ に達すると、エッチングレートの相対的に遅いウェハセンタの部分でもRu膜のエッチングが終了し、下地TiN膜の全面が露出する。この結果、406 nm光の発光強度は高いレベルでほぼ一定に維持される。この時刻 $t=T2$ をジャストエッチング時刻と定義し、 $t=0\sim T2$ の時間をメインエッチング時間と定義する。さらにエッチングを継続し、時刻 $t=T3$ でエッチングを終了する。 $t=T2\sim T3$ の時間をオーバーエッチング時間と定義する。したがって、オーバーエッチングは、 $(T3-T2)/(T2-0)\times 100$

(%)と定義できる。なお、処理圧力が15 mTorrの場合を例示しているが、処理圧力はプラズマが安定に生成する圧力であれば良く、100 mTorrから0.1 mTorrの範囲、さらに好ましくは30 mTorrから1 mTorrの範囲で選択できる。

【0124】ルテニウム膜55は、側壁付着性の部材であり、白金族等であるため、エッチング過程において反応生成物がエッチング側壁に付着し、エッチングの異方性を阻害してテーパ形状を呈する。しかし、前記のような条件でエッチングを行うことによりルテニウム膜55をエッチングした下部電極51の断面形状はほぼ垂直（テーパ角が89度）で形成できる。なお、側壁付着性の部材とは、ドライエッチング時に生成物の蒸気圧が低いために側壁に付着する傾向が強く、微細なエッチングが困難とされるものをいい、主に、白金族元素それらを含む酸化物または副酸化物（白金族等）、ペロブスカイト等のABO₃型遷移金属酸化物等をいう。ここで、白金族元素またはその酸化物というときには、白金族元素およびそれらを含む酸化物、白金元素およびそれらの構成元素を含む酸化物ならびにそれらの構成元素の複数の元素を含むまたは他の族と白金族元素を含む複酸化物、それらの固溶体等を含む概念である。

【0125】このようにエッチング特性が改善されるのは、第1にエッチングガスが大流量で供給されるため、生成された反応生成物（主にRuO₄、RuO₃）が高速で排気されるためである。白金族元素のエッチングでは、蒸気圧の低い反応生成物（特にRuO₄）が形成されるため、側壁付着しやすく、この付着物がエッチング形状を阻害するが、高速排気されれば側壁付着する確率が低下し、エッチング形状が改善される。なお、オーバーエッチングが20%程度であっても、高速排気するだけでエッチング形状のテーパ角は84度程度に改善される。

【0126】また、エッチング特性が改善されるのは、第2にオーバーエッチングを100%行うためである。つまり、ルテニウム膜55のエッチングはあるテーパ角をもって終了しているため、オーバーエッチングの状況下では、下地材料である窒化チタン膜47が露出している。この窒化チタン膜は酸素イオンあるいは酸素ラジカルによりエッチングされることがないため、エッチング底

面からの反応生成物は発生せず、側壁への反応生成物の飛来はない。側壁部においては酸素イオンあるいは酸素ラジカルによるエッチングと側壁部で発生した反応生成物の再付着との競合が生じているが、前記したエッチング状況下のように底部からの反応生成物の飛来が無い分だけ反応生成物の飛来が減少し、エッチングが勝ることとなる。このため、オーバーエッチング時の側壁付着物は極めて少なくなり、これがテーパ角上昇の原因となる。

【0127】このように、前記条件下、すなわち、反応圧力15mTorr、プラズマソースパワー500W、FRバイアスパワー200W、酸素および塩素流用720sccmおよび80sccm（総流量約800sccm）の条件下で、オーバーエッチング量を100%とすることにより、エッチング異方性をテーパ角で表して89度に向上することができる。

【0128】このようにルテニウム膜55をテーパ角89度でエッチングできることは、ルテニウム等の白金族元素系の金属あるいはその酸化物の垂直形状のエッチングが原理的に困難である、すなわち、反応生成物の蒸気圧が低く、側壁付着性の高い反応性生成物が生じるエッチング系であることを考慮すれば、極めて顕著な効果であり、1GビットDRAM級の微細加工を可能ならしめるものである。

【0129】また、このようなエッチング方法を用いることにより、パターン幅およびスペースが0.13μmという微細なパターン形状において、しかもパターン高さが0.45μm（アスペクト比約3.5、すなわちアスペクト比2あるいは3以上の高アスペクト領域）というエッチング加工においては極めて厳しい状況下で、テーパ角が89度という理想的な柱状パターン（内部の詰まったものの他、シリンダー様のものも含む）の形成が実現できる。なお、本願で柱状パターンというときは、円柱や正角柱に限らず、錐状や縦横の長さが異なるもの等を含む。

【0130】これは、また、エッチングの微細加工マージンが大きいことを示しており、リソグラフィの限界が伸びて、更に微細なマスクの形成が可能となった場合には、本技術を用いて十分に微細な加工（パターン幅およびスペースが0.13μm以下の微細パターンの加工）が可能であることを意味する。

【0131】なお、前記のエッチング条件では、ルテニウム膜55に対するシリコン酸化膜52（PTEOS膜）のエッチング選択比は約10である。従って、0.45μmのルテニウム膜55のエッチングにおいてハードマスクであるシリコン酸化膜52は45nm程度その膜厚が減少することとなるが、大きなオーバーエッチング（100%）を施しているため、シリコン酸化膜52のファセットが大きくなり、エッチング後のシリコン酸化膜52は図11（d）に示すような錐形状となる。その高さは図示の通り約100nmである。

【0132】また、このルテニウム膜55のエッチングではフォトリソスト膜をマスクとしては用いず、シリコン酸化膜をハードマスクに用いる。これは、フォトリソスト膜よりもシリコン酸化膜の方がルテニウムとのエッチング選択比を大きくすることができるとともに、フォトリソスト膜からの有機物の離脱による側壁付着の生成を防止してエッチング形状を改善できるという効果を有する。

【0133】次に、図11（e）に示すように、シリコン酸化膜52をマスクとしてルテニウム膜55の下地である窒化チタン膜47をエッチングする。窒化チタン膜47のエッチングは、たとえばECR（Electron Cyclotron Resonance）プラズマを用いて行うことができる。エッチング条件は、たとえば処理圧力を8mTorr、μ波電力を300W、周波数800kHzのRFバイアス電力を70W、エッチングガスを三塩化ボロン（BCl₃）および塩素（Cl₂）を各々30sccmおよび70sccm、基板温度を50℃とすることができる。窒化チタン膜47のエッチング処理によりシリコン酸化膜52（マスク）も一部削れ、その膜厚が図示するように減少する。なお、シリコン酸化膜52の稜部は前記のような工程で削られるため丸みを帯びる。このような丸みを有しているため、次工程のBST膜58の堆積が被覆性よく行えるというメリットがある。

【0134】次に、図11（f）に示すように、シリコン酸化膜52を除去することなくBST膜58を堆積する。BST膜58はCVD法により堆積でき、その膜厚は20nmとする。BST膜58はCVD法により形成されるため、本実施の形態のような微細加工され、アスペクト比が高い下部電極51上にも均一に膜形成を行うことができる。なお、BST膜58に代えて他の高誘電体膜、たとえば酸化タンタル膜、PZT、PLZT等を用いてもよい。

【0135】このようにシリコン酸化膜52を除去することなくBST膜58を堆積するため、シリコン酸化膜52の除去処理に伴う下部電極51の形状の変化、一般に下部電極51パターンの細り、下部電極51の稜部の丸まり等の微細加工にとって好ましくない形状変化を防止することができる。可能な限り微細に加工した後生じるパターンの形状変化は、微細に加工したが故にその影響が大きく、せっかく微細に加工できてもその後形状が変化してしまえば微細加工を行った意義が半減し好ましくない。そこで、本発明では加工形状を阻害するシリコン酸化膜52の除去処理を省略し、最も精密に加工された下部電極51の状態を維持するものである。

【0136】また、シリコン酸化膜52を除去しないことにより、シリコン酸化膜52の除去処理工程で発生するであろう下部電極51表面の荒れを防止できる。シリコン酸化膜52を除去すれば、シリコン酸化膜52のエッチング処理に伴い、下部電極51の表面に荒れが発生

する。このような荒れ(粗面化)は、BST膜58の接着性を低下し、情報蓄積容量素子Cの信頼性を低下させる要因となり、著しい場合にはBST膜58の剥離を生じてDRAMの歩留まりを低下させる恐れもある。そこで、本発明ではこのような荒れの発生を未然に防止するためにシリコン酸化膜52を残存させるものである。

【0137】さらに、シリコン酸化膜52の除去工程を省略することにより、シリコン酸化膜52の除去工程自体がなくなり、DRAMの製造工程が簡略化されるばかりでなく、エッチング処理(シリコン酸化膜52の除去工程)の後の洗浄工程等除去工程に付随する処理工程をも省略してDRAM製造工程を簡略化することができる。

【0138】下部電極51の上部にシリコン酸化膜52を残存させることにより前記のような工程上あるいはDRAMの性能上のメリットがある。一方、前記したとおりシリコン酸化膜52を残存させることによるデメリットは存在するが、本実施の形態のような寸法で微細加工される下部電極51に適用する限り、そのデメリットはさほど支配的で無いことは前記した通りである。

【0139】次に、図11(g)に示すように、BST膜58を酸素雰囲気中で熱処理(アニール)を行なう。熱処理温度は約700℃である。この熱処理によりBST膜58の酸素欠陥をなくすることができる。700℃という温度条件は、酸素雰囲気における熱処理により下部電極51およびその上面の残留物が膨張等体積変化をしないという要件から選択される。シリコン酸化膜52は700℃の酸素雰囲気熱処理で体積膨張することがなく、前記要件を満足する。

【0140】次に、図11(h)に示すように、BST膜58上にルテニウム膜59を堆積し、図12(i)に示すようにルテニウム膜59上にフォトレジスト膜60を形成する。フォトレジスト膜60はDRAMのメモリセル領域を覆うように形成する。次に、図12(j)に示すようにこのフォトレジスト膜60をマスクとしてルテニウム膜59およびBST膜58をエッチングし、容量絶縁膜53および上部電極54を形成する。その後、フォトレジスト膜60をアッシング等により除去し、ルテニウムからなる下部電極51、BSTからなる容量絶縁膜53およびルテニウムからなる上部電極54を有する情報蓄積容量素子Cを完成する(図12(k))。これにより、メモリセル選択用MISFETQsとこれに直列に接続された情報蓄積容量素子Cとで構成されるDRAMのメモリセルが完成する。

【0141】ルテニウム膜59の堆積にはたとえばスパッタ法またはCVD法を用いることができる。また、ルテニウム膜59およびBST膜58のエッチングには、前記した図13に示すエッチング装置を用いることができる。エッチング条件は、たとえば反応圧力2mTorr、プラズマソースパワー300W、FRバイアスパワ

ー600W、四フッ化炭素(CF₄)およびアルゴン(Ar)を各々10sccmおよび40sccmで、オーバーエッチング量を10%とすることができる。このような条件では、エッチング形状は異方性を発揮せず、テーパ角は約60度となるが、ここでは微細加工を要求されるわけではないので不都合はない。

【0142】なお、上部電極54上には、適当なバリアメタルを形成してもよい。また、上部電極54を構成する材料としては、二酸化ルテニウム膜に代えて、窒化チタン膜、ルテニウム膜、あるいはタングステン膜を用いることができる。

【0143】次に、図15に示すように、情報蓄積容量素子Cの上部にSOGからなるシリコン酸化膜61を形成する。シリコン酸化膜61にSOG膜を用いた場合にはメモリセルの形成された領域を平坦化すると同時に、周辺回路領域との段差を緩和することができる。なお、情報蓄積容量素子Cの上部とシリコン酸化膜61との間に膜厚40nm程度のたとえばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積されたシリコン酸化膜を形成してもよい。

【0144】次に、フォトレジスト膜をマスクにしたドライエッチングで周辺回路の第1層配線38の上部のシリコン酸化膜61、46、45、SOG膜44およびシリコン窒化膜40を除去することにより、スルーホール62を形成する。また、同様に上部電極54の上部のシリコン酸化膜61を除去することにより、スルーホール63を形成する。その後、スルーホール62、63の内部にプラグ64を形成し、続いてシリコン酸化膜61の上部に第2層配線65を形成する。プラグ64は、シリコン酸化膜61の上部にスパッタリング法で膜厚100nm程度のTiN膜を堆積し、さらにその上部にCVD法で膜厚500nm程度のW膜を堆積した後、これらの膜をエッチバックしてスルーホール62、63の内部に残すことにより形成する。第2層配線65は、シリコン酸化膜61の上部にスパッタリング法で膜厚50nm程度のTiN膜、膜厚500nm程度のAl(アルミニウム)膜、膜厚50nm程度のTi膜を堆積した後、フォトレジスト膜をマスクにしたドライエッチングでこれらの膜をパターニングして形成する。

【0145】その後、層間絶縁膜を介して第3層配線を形成し、その上部にシリコン酸化膜とシリコン窒化膜とで構成されたパッシベーション膜を堆積するが、その図示は省略する。以上の工程により、本実施の形態のDRAMが略完成する。

【0146】なお、第3層配線およびそれに接続するプラグは第2層配線の場合と同様に形成することができ、層間絶縁膜は、たとえば膜厚300nm程度のシリコン酸化膜、膜厚400nm程度のSOG膜および膜厚300nm程度のシリコン酸化膜で構成できる。シリコン酸化膜

は、たとえばオゾン (O_3) とテトラエトキシシラン (TEOS) とをソースガスに用いたプラズマCVD法で堆積できる。

【0147】本実施の形態によれば、下部電極51の材料としてBSTのような強誘電性の容量絶縁膜53に親和性のよいルテニウムを用い、この下部電極51のエッチングの際にハードマスクであるシリコン酸化膜52を残存させ、シリコン酸化膜52を残存させた状態で容量絶縁膜53を形成する。これにより、シリコン酸化膜52の除去工程を省略して工程を簡略化することができ、また、除去工程で発生するであろう下部電極51上面の荒れ、あるいは、下地の荒れを防ぎ、容量絶縁膜53を信頼性良く形成することができる。さらに、シリコン酸化膜52の除去工程で生じるであろう下部電極51のパターンの鈍りあるいは細りを防止して、微細に加工形成されたル下部電極51の形状を保持することができる。

【0148】なお、本実施の形態では、下部電極51がルテニウム膜の場合を説明したが、二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることもできる。

【0149】また、本実施の形態では、ルテニウム膜55のエッチングストップパとして窒化チタン膜47を用いたが、窒化チタン膜47に代えてシリコン窒化膜を用いることができる。すなわち、シリコン窒化膜も窒化チタン膜47と同様に酸素ラジカルを主体とするエッチング作用に対して大きなエッチング選択比を有するため、本実施の形態のエッチングストップパに用いることができる。この場合、シリコン窒化膜は不導体であるため、ルテニウム膜55のエッチング後つまり下部電極51の形成後にエッチングして除去する必要がなく、前記図11(e)の工程は必要なくなる。この場合には、図11(d)の工程の後のBST膜58を形成すればよい。従って、工程を簡略化できる。ただし、下部電極51上には比較的厚いシリコン酸化膜52が残存する。しかし、このようなシリコン酸化膜52が情報蓄積容量素子Cの性能を阻害するものではないことは前記した通りである。

【0150】(実施の形態2) 本実施の形態2のDRAMは、実施の形態1のDRAMと情報蓄積容量素子Cの構成および製造方法において相違するのみで、他の構成および製造方法は実施の形態1と同様である。従って、情報蓄積容量素子Cの製造方法について説明し、その他の説明は省略する。

【0151】図16は、実施の形態2のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図16は、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0152】実施の形態1の図8の工程の後、図16(a)に示すように、窒化チタン膜47上にルテニウム

膜55および白金膜66を形成し、白金膜66上にパターンニングされたフォトリソレジスト膜67を形成する。

【0153】ルテニウム膜55については、実施の形態1と同様であるため詳細な説明は省略する。白金膜66は、ルテニウム膜55をエッチングする際のハードマスクとして機能し、また下部電極の一部として機能するものである。その膜厚は後のエッチング工程で減少することを考慮して $0.1\mu m$ とする。

【0154】フォトリソレジスト膜67は、白金膜66をパターンニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトリソレジスト膜67のパターンニングは、実施の形態1の場合と相違し、白金膜66のエッチングの際の側壁部着物による底面積の増加を考慮してあらかじめその幅を小さく形成する。すなわち、図示するようにパターン幅を $0.1\mu m$ として形成する。また、パターン間隔は $190nm$ とする。フォトリソレジスト膜67の膜厚は、白金膜66のエッチングの際の減少分を考慮して $300nm$ とする。フォトリソレジスト膜67にEB (Electron Beam) レジストを用いることができることは実施の形態1と同様である。なお、フォトリソレジスト膜67は、その上部(稜部)が丸みを帯びた形状、あるいは面取り形状、すなわちラウンドレジストで形成される。このようにフォトリソレジスト膜67をラウンドレジストで形成することにより白金のエッチングの際の側壁付着物を低減して異方性よく白金をエッチングすることができる。

【0155】次に、図16(b)に示すように、フォトリソレジスト膜67をマスクとして白金膜66をパターンニングし、白金からなるハードマスク68を形成する。白金膜66のエッチングには、たとえばマグネトロン反応性イオンエッチングを用いることができる。エッチング条件は、たとえば反応圧力を $5mTorr$ 、RF電力を $2kW$ 、エッチングガスをアルゴン $15sccm$ 、基板温度を $30^\circ C$ とすることができる。すなわちスパッタリングで白金膜をエッチングする。このようなエッチング条件では、白金のエッチングレートは約 $150nm/min$ でありフォトリソレジスト膜67に対する選択比は約1である。このため、白金膜66のエッチング完了時には約 $200nm$ の膜厚のフォトリソレジスト膜67がハードマスク68の上部に残存する。また、フォトリソレジスト膜67およびハードマスク68の側壁には側壁付着物69が形成される。側壁付着物69は、白金エッチングの際に生成する反応生成物の蒸気圧が低いため、再付着により形成されるものであり、容易に形成できる。本実施の形態では、この側壁付着物69を次工程のルテニウム膜55のエッチングマスクに積極的に利用するものである。側壁付着物69が形成されることにより、ハードマスク68とともにマスクとして作用する領域が広がり、その領域の底面部でルテニウム膜55のパターンニング寸法として意図する $0.13\mu m$ になるようにする。これにより0.

13 μm 幅の下部電極パターンが形成される。

【0156】次に、図16(c)に示すように、フォトリソ膜67を除去する。フォトリソ膜67の除去は実施の形態1と同様である。

【0157】次に、図16(d)に示すように、ハードマスク68および側壁付着物69をマスクとしてルテニウム膜55をエッチングすることにより下部電極51を形成する。ルテニウム膜55のエッチングは、実施の形態1と同様に行う。従って、ルテニウム膜55は、異方性よくテーパ角89度でほぼ垂直に形成される。なお、ルテニウム膜55のエッチングに際して、ハードマスク68の稜部および側壁付着物69の突出部がエッチングされて丸みを帯びる。

【0158】次に、図16(e)に示すように、ハードマスク68および側壁付着物69をマスクとしてルテニウム膜55の下地である窒化チタン膜47をエッチングする。窒化チタン膜47のエッチングは、実施の形態1と同様である。窒化チタン膜47のエッチング処理によりハードマスク68および側壁付着物69も一部削れ、その膜厚が図示するように減少する。なお、ハードマスク68および側壁付着物69の稜部は前記のような工程で削られるためさらに丸みを帯びる。このような丸みを有しているため、次工程のBST膜58の堆積が被覆性よく行えるというメリットがある。

【0159】次に、図16(f)に示すように、ハードマスク68および側壁付着物69を除去することなくBST膜58を堆積する。BST膜58は実施の形態1と同様に形成できる。このようにハードマスク68および側壁付着物69を除去することなくBST膜58を堆積するメリットは、実施の形態1で説明したメリットと同様である。その後の工程は実施の形態1と同様であるため説明を省略する。なお、下部電極51の表面に残存するハードマスク68は白金で構成されるため、耐熱性に優れ、BST膜58の酸化雰囲気における熱処理によっても体積増加が発生しないばかりか変質も起こらない。

【0160】本実施の形態によれば、実施の形態1で説明した効果に加えて、下部電極51上部に残存させたハードマスク68が導電体である白金からなるため、ハードマスク68も下部電極51の一部として機能させることができ、ハードマスク68の上部に相当する面積分だけ下部電極面積を増加できる。これにより、情報蓄積容量素子Cの蓄積容量を増加してDRAMの性能向上を図ることができる。なお、側壁付着物69は一般に導電体ではなく、側壁付着物69がBST膜58と接する部分はキャパシタとして機能することは期待できないが、このような場合であっても、実施の形態1で説明したように、その不利益の影響は余り大きくない。

【0161】なお、下部電極51を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることができること、窒化チタン膜47をシリコン窒化

膜に代えることができることは実施の形態1と同様である。

【0162】(実施の形態3) 本実施の形態3のDRAMは、実施の形態1のDRAMと情報蓄積容量素子Cの構成および製造方法において相違するのみで、他の構成および製造方法は実施の形態1と同様である。従って、情報蓄積容量素子Cの製造方法について説明し、その他の説明は省略する。

【0163】図17は、実施の形態3のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図17は、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0164】実施の形態1の図8の工程の後、図17(a)に示すように、窒化チタン膜47上にルテニウム膜55および白金膜66を形成し、白金膜66上にパターンニングされたフォトリソ膜70を形成する。

【0165】ルテニウム膜55については、実施の形態1と同様であるため詳細な説明は省略する。白金膜66は、ルテニウム膜55をエッチングする際のハードマスクとして機能し、また下部電極の一部として機能するものである。その膜厚は後のエッチング工程で減少することを考慮して0.1 μm とする。

【0166】フォトリソ膜70は、白金膜66をパターンニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトリソ膜70のパターンニングは、実施の形態1の場合と相違し、白金膜66のエッチングの際のテーパ部の形成による底面積の増加を考慮してあらかじめその幅を小さく形成する。すなわち、図示するようにパターン幅を0.08 μm として形成する。また、パターン間隔は260 nmとする。フォトリソ膜70の膜厚は、白金膜66のエッチングの際の減少分を考慮して300 nmとする。フォトリソ膜70にEB (Electron Beam) レジストを用いることができることは実施の形態1と同様である。なお、フォトリソ膜70は、実施の形態2と同様にその上部(稜部)が丸みを帯びた形状、あるいは面取り形状、すなわちラウンドレジストで形成される。

【0167】次に、図17(b)に示すように、フォトリソ膜70をマスクとして白金膜66をパターンニングし、白金からなるハードマスク68を形成する。白金膜66のエッチングには、実施の形態2と同様にマグネトロン反応性イオンエッチングを用いることができるが、エッチングの条件が相違する。すなわちエッチング条件は、たとえば反応圧力を1 mTorr、RF電力を2 kW、エッチングガスを塩素(Cl_2) 15 sccm、基板温度を30 $^{\circ}\text{C}$ とする。すなわち実施の形態2ではスパッタリングで白金膜をエッチングしたが、実施の形態3では塩素ラジカルによる化学的な作用により白金膜66をエッチングする。このようなエッチング条件で

は、白金のエッチングレートは約 150 nm/min でありフォトリソ膜 70 に対する選択比は約 0.5 となる。すなわち、フォトリソ膜 70 は大量に削られ、エッチング終了時にはパターニングされた白金膜 66

(ハードマスク 68) に僅かに残存する程度までその膜厚が減少する。しかし、パターニングされたハードマスク 68 の側壁には、側壁付着物が形成されない。これは塩素ラジカルによって側壁付着物が削りとられたためである。ただし、白金膜 66 の異方性は悪く、テーパ角が約 75° となる。このためハードマスク 68 の底部が当初のフォトリソ膜 70 のパターン幅より太り、エッチング終了時にハードマスク 68 底部の幅が $0.13 \mu\text{m}$ となる。これにより $0.13 \mu\text{m}$ 幅の下部電極パターンが形成される。

【0168】次に、図 17 (c) に示すように、フォトリソ膜 70 を除去する。フォトリソ膜 70 の除去は実施の形態 1 と同様である。

【0169】次に、図 17 (d) に示すように、ハードマスク 68 をマスクとしてルテニウム膜 55 をエッチングすることにより下部電極 51 を形成する。ルテニウム膜 55 のエッチングは、実施の形態 1 と同様に行う。従って、ルテニウム膜 55 は、異方性よくテーパ角 89° 度でほぼ垂直に形成される。なお、ルテニウム膜 55 のエッチングに際して、ハードマスク 68 も一部エッチングされその膜厚が 70 nm まで減少する。

【0170】次に、図 17 (e) に示すように、ハードマスク 68 をマスクとしてルテニウム膜 55 の下地である窒化チタン膜 47 をエッチングする。窒化チタン膜 47 のエッチングは、実施の形態 1 と同様である。窒化チタン膜 47 のエッチング処理によりハードマスク 68 も一部削れ、その膜厚が図示するように減少する。なお、ハードマスク 68 の稜部は前記のような工程で削られるためさらに丸みを帯びる。このような丸みを有しているため、次工程の BST 膜 58 の堆積が被覆性よく行えるというメリットがある。

【0171】次に、図 17 (f) に示すように、ハードマスク 68 を除去することなく BST 膜 58 を堆積する。BST 膜 58 は実施の形態 1 と同様に形成できる。このようにハードマスク 68 を除去することなく BST 膜 58 を堆積するメリットは、実施の形態 1 で説明したメリットと同様である。その後の工程は実施の形態 1 と同様であるため説明を省略する。なお、下部電極 51 の表面に残存するハードマスク 68 は白金で構成されるため、耐熱性に優れ、BST 膜 58 の酸化雰囲気における熱処理によっても体積増加が発生しないばかりか変質も起こらないことは実施の形態 2 と同様である。

【0172】本実施の形態によれば、実施の形態 1 で説明した効果に加えて、下部電極 51 上部に残存させたハードマスク 68 が導電体である白金からなるためハードマスク 68 も下部電極 51 の一部として機能し、また、

ハードマスク 68 の側面に側壁付着物が形成されないため、BST 膜 58 と接するハードマスク 68 の全領域をキャパシタとして機能させることができる。すなわち、ハードマスク 68 の上面だけでなく、ハードマスク 68 の側面をもキャパシタとして機能させることができ。これにより、下部電極 51 およびハードマスク 68 表面の全表面積がキャパシタに寄与し、情報蓄積容量素子 C の蓄積容量を実施の形態 2 に比較してさらに増加し DRAM の性能向上を図ることができる。つまり、実施の形態 1 で説明したようなハードマスク 68 を残存させることによる効果が得られるにもかかわらず、ハードマスク 68 を残存させることによる不利益が存在しない。

【0173】なお、下部電極 51 を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることができること、窒化チタン膜 47 をシリコン窒化膜に代えることができることは実施の形態 1 と同様である。

【0174】(実施の形態 4) 本実施の形態 4 の DRAM は、実施の形態 1 の DRAM と情報蓄積容量素子 C の構成および製造方法において相違するのみで、他の構成および製造方法は実施の形態 1 と同様である。従って、情報蓄積容量素子 C の製造方法について説明し、その他の説明は省略する。

【0175】図 18 は、実施の形態 4 の DRAM の情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図 18 は、図 11 および図 12 と同様に、図 10 (a) における B-B 線断面を示し、また、DRAM の情報蓄積容量素子 C の領域のみを示している。

【0176】実施の形態 1 の図 8 の工程の後、図 18 (a) に示すように、窒化チタン膜 47 上にルテニウム膜 55、白金膜 66 およびシリコン酸化膜 71 を形成し、シリコン酸化膜 71 上にパターニングされたフォトリソ膜 70 を形成する。

【0177】ルテニウム膜 55、白金膜 66 については、実施の形態 3 と同様であるため詳細な説明は省略する。また、シリコン酸化膜 71 は、実施の形態 1 のシリコン酸化膜 56 と同様である。白金膜 66 はルテニウム膜 55 をエッチングする際のハードマスクとして機能し、また下部電極の一部として機能するものである。その膜厚は後のエッチング工程で減少することを考慮して $0.1 \mu\text{m}$ とする。また、シリコン酸化膜 56 は白金膜 66 をエッチングする際のハードマスクとして機能するものであり、その膜厚は後のエッチング工程で減少することを考慮して $0.3 \mu\text{m}$ とする。

【0178】フォトリソ膜 70 は、シリコン酸化膜 71 をパターニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトリソ膜 70 のパターニングは、実施の形態 3 の場合と同様に、白金膜 66 のエッチングの際のテーパ部の形成による底面積の増加を考慮してあらかじめその幅を小さく形

成する。しかし、本実施の形態では白金膜66のエッチングを実施の形態3よりも異方性よく形成するため、パターン幅を若干大きくし0.1 μ mとして形成する。また、パターン間隔は190nmとする。フォトレジスト膜70の膜厚は、シリコン酸化膜71のエッチングの際の減少分を考慮して300nmとする。フォトレジスト膜70にEB (Electron Beam) レジストを用いることができることは実施の形態1~3と同様である。

【0179】次に、図18(b)に示すように、フォトレジスト膜70をマスクとしてシリコン酸化膜71をエッチングし、白金膜66をパターンニングするためのハードマスク72を形成する。シリコン酸化膜は異方性よく形成されるため、フォトレジスト膜70のパターンを忠実に再現し、ハードマスク72の底部においてもパターン幅100nm、パターン間隔190nmで形成される。

【0180】次に、図18(c)に示すように、フォトレジスト膜70を除去する。フォトレジスト膜70の除去は実施の形態1と同様である。

【0181】次に、図18(d)に示すように、シリコン酸化膜からなるハードマスク72をマスクとして白金膜66をパターンニングし、白金からなるハードマスク68を形成する。白金膜66のエッチングには、実施の形態2、3と同様にマグネトロン反応性イオンエッチングを用いることができるが、エッチングの条件が相違する。すなわちエッチング条件は、たとえば反応圧力を5mTorr、RF電力を1.2kW、エッチングガスを酸素(O_2)および塩素(Cl_2)を各々80sccmおよび20sccm、オーバーエッチングを100%、基板温度を160 $^{\circ}$ Cとする。すなわち実施の形態2ではスパッタリングで白金膜をエッチングし、実施の形態3では塩素ラジカルによる化学的エッチングを行ったが、実施の形態4では酸素ラジカルによる化学的な作用により白金膜66を基板温度160 $^{\circ}$ Cという高温状態でエッチングする。このようなエッチング条件では、白金のエッチングレートは約150nm/minでありシリコン酸化膜からなるハードマスク72に対する選択比は約1となる。このような条件では、ハードマスク68の側壁には側壁付着物が形成されず、また、白金エッチングの異方性は実施の形態3よりも改善されてハードマスク68のテーパ角は約85度となる。このため、ハードマスク68の底部が当初のハードマスク72のパターン幅より太り、エッチング終了時にハードマスク68底部の幅が0.13 μ mとなる。これにより0.13 μ m幅のラインアンドスペースパターンが形成される。このように白金膜66のエッチング特性が改善されるため、エッチング工程のマージンが増加し、また、より高集積に対応が可能な微細加工を行うことができる。

【0182】次に、図18(e)に示すように、ハードマスク68をマスクとしてルテニウム膜55をエッチン

グすることにより下部電極51を形成する。なお、この段階でハードマスク72も一部が削られ、その膜厚が減少する。ルテニウム膜55のエッチングは、実施の形態1と同様に行う。従って、ルテニウム膜55は、異方性よくテーパ角89度でほぼ垂直に形成される。

【0183】次に、図18(f)に示すように、ハードマスク68をマスクとしてルテニウム膜55の下地である窒化チタン膜47をエッチングする。この段階でハードマスク72が削られ、ほぼ消滅する。窒化チタン膜47のエッチングは、実施の形態1と同様である。窒化チタン膜47のエッチング処理によりハードマスク68も一部削れ、その膜厚が図示するように減少する。

【0184】次に、図18(g)に示すように、ハードマスク68を除去することなくBST膜58を堆積する。BST膜58は実施の形態1と同様に形成できる。このようにハードマスク68を除去することなくBST膜58を堆積するメリットは、実施の形態1で説明したメリットと同様である。その後の工程は実施の形態1と同様であるため説明を省略する。なお、下部電極51の表面に残存するハードマスク68は白金で構成されるため、耐熱性に優れ、BST膜58の酸化雰囲気における熱処理によっても体積増加が発生しないばかりか変質も起こらないことは実施の形態2と同様である。

【0185】本実施の形態によれば、実施の形態1で説明した効果に加えて、下部電極51上部に残存させたハードマスク68が導電体である白金からなるためハードマスク68も下部電極51の一部として機能し、また、ハードマスク68の側面に側壁付着物が形成されないため、BST膜58と接するハードマスク68の全領域をキャパシタとして機能させることができる。すなわち、ハードマスク68の上面だけでなく、ハードマスク68の側面をもキャパシタとして機能させることができ。これにより、下部電極51およびハードマスク68表面の全表面積がキャパシタに寄与し、情報蓄積容量素子Cの蓄積容量を実施の形態2に比較してさらに増加しDRAMの性能向上を図ることができる。さらに、本実施の形態では最初のパターンニングを行うフォトレジスト膜70を実施の形態3よりも幅広く形成できるため、フォトリソグラフィマージンを増加できる。逆にいえば、本実施の形態の方が微細加工性に優れている。

【0186】なお、下部電極51を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることができること、窒化チタン膜47をシリコン窒化膜に代えることができることは実施の形態1と同様である。

【0187】(実施の形態5) 本実施の形態5のDRAMは、実施の形態1のDRAMと情報蓄積容量素子Cの構成および製造方法において相違するのみで、他の構成および製造方法は実施の形態1と同様である。従って、情報蓄積容量素子Cの製造方法について説明し、その他

の説明は省略する。

【0188】図19は、実施の形態5のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図19は、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0189】実施の形態1の図8の工程の後、図19(a)に示すように、窒化チタン膜47上にルテニウム膜55およびBST膜73を形成し、BST膜73上にパターニングされたフォトレジスト膜70を形成する。10

【0190】ルテニウム膜55については、実施の形態1と同様であるため詳細な説明は省略する。BST膜73は、ルテニウム膜55をエッチングする際のハードマスクとして機能し、また容量絶縁膜の一部として機能するものである。その膜厚は後のエッチング工程で減少することを考慮して $0.1\mu\text{m}$ とする。

【0191】フォトレジスト膜70は、BST膜73をパターニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトレジスト膜70のパターニングは、実施の形態2の場合と同様に、BST膜73のエッチングの際のテーパ部の形成による底面積の増加を考慮してあらかじめその幅を小さく形成する。すなわち、図示するようにパターン幅を $0.1\mu\text{m}$ として形成する。また、パターン間隔は 190nm とする。フォトレジスト膜70の膜厚は、BST膜73のエッチングの際の減少分を考慮して 300nm とする。フォトレジスト膜70にEB(Electron Beam)レジストを用いることができることは実施の形態1と同様である。なお、フォトレジスト膜70は、実施の形態2と同様にその上部(稜部)が丸みを帯びた形状、あるいは面取り形状、すなわちラウンドレジストで形成される。20

【0192】次に、図19(b)に示すように、フォトレジスト膜70をマスクとしてBST膜73をパターニングし、BSTからなるハードマスク74を形成する。BST膜73のエッチングには、実施の形態3と同様に行う。すなわちエッチング条件は、たとえば反応圧力を 1mTorr 、RF電力を 2kW 、エッチングガスを塩素(Cl_2) 15sccm 、基板温度を 30°C とする。このようなエッチング条件では、BST膜73のエッチングレートは約 $150\text{nm}/\text{min}$ でありフォトレジスト膜70に対する選択比は約1となる。エッチング終了時にはパターニングされたBST膜73(ハードマスク74)のテーパ角は 70° から 80° となり、ハードマスク74の底部が当初のフォトレジスト膜70のパターン幅より太り、エッチング終了時にハードマスク74底部の幅が $0.13\mu\text{m}$ となる。これにより $0.13\mu\text{m}$ 幅のラインアンドスペースパターンが形成される。

【0193】次に、図19(c)に示すように、フォトレジスト膜70を除去する。フォトレジスト膜70の除去は実施の形態1と同様である。

【0194】次に、図19(d)に示すように、ハードマスク74をマスクとしてルテニウム膜55をエッチングすることにより下部電極51を形成する。ルテニウム膜55のエッチングは、実施の形態1と同様に行う。従って、ルテニウム膜55は、異方性よくテーパ角 89° でほぼ垂直に形成される。なお、ルテニウム膜55のエッチングに際して、ハードマスク74も一部エッチングされる。

【0195】次に、図19(e)に示すように、ハードマスク74をマスクとして窒化チタン膜47をエッチングする。窒化チタン膜47のエッチングは、実施の形態1と同様である。窒化チタン膜47のエッチング処理によりハードマスク74も一部削れ、その膜厚が減少する。

【0196】次に、図19(f)に示すように、ハードマスク74を除去することなくBST膜58を堆積する。BST膜58は実施の形態1と同様に形成できる。このようにハードマスク74を除去することなくBST膜58を堆積するメリットは、実施の形態1で説明したメリットと同様である。

【0197】次に、図19(g)に示すように、BST膜58に酸素雰囲気中で熱処理を施す。このときBSTからなるハードマスク74をBST膜58とが一体化する。その後の工程は実施の形態1と同様であるため説明を省略する。

【0198】本実施の形態によれば、実施の形態1で説明した効果に加えて、下部電極51上部に残存させたハードマスク74がBSTからなるため、ハードマスク74とBST膜58とが一体化して形成される。このため、下部電極51上部のBST膜58の接着性が極めて良好になる。これにより情報蓄積容量素子Cを信頼性よく形成できる。また、BSTは強誘電材料であるため、下部電極51上部におけるキャパシタ容量値への寄与が実施の形態1と比較して幾分か大きくなる。このため情報蓄積容量素子Cの蓄積容量が大きくなる。

【0199】なお、下部電極51を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることができること、窒化チタン膜47をシリコン窒化膜に代えることができることは実施の形態1と同様である。

【0200】(実施の形態6) 本実施の形態6のDRAMは、実施の形態1のDRAMと情報蓄積容量素子Cの構成および製造方法において相違するのみで、他の構成および製造方法は実施の形態1と同様である。ただし、本実施の形態では、実施の形態1の窒化チタン膜47に代えて、酸化チタン膜75を用いる。酸化チタン膜75はCVD法またはスパッタ法により形成でき、膜厚は 30nm とする。従って、情報蓄積容量素子Cの製造方法について説明し、その他の説明は省略する。

50 【0201】図20は、実施の形態6のDRAMの情報

蓄積容量素子の製造工程の一例を工程順に示した断面図である。図 20 は、図 11 および図 12 と同様に、図 10 (a) における B-B 線断面を示し、また、DRAM の情報蓄積容量素子 C の領域のみを示している。

【0202】実施の形態 1 の図 8 の工程の後（ただし窒化チタン膜 47 に代えて酸化チタン膜 75 を形成している。）、図 20 (a) に示すように、酸化チタン膜 75 上にルテニウム膜 55 および酸化チタン膜 76 を形成し、酸化チタン膜 76 上にパターンニングされたフォトレジスト膜 70 を形成する。

【0203】ルテニウム膜 55 については、実施の形態 1 と同様である。酸化チタン膜 76 は、ルテニウム膜 55 をエッチングする際のハードマスクとして機能するものである。酸化チタン膜 76 の膜厚は 30 nm とする。

【0204】フォトレジスト膜 70 は、酸化チタン膜 76 をパターンニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトレジスト膜 70 のパターンニングは、実施の形態 1 と同様にする。

【0205】次に、図 20 (b) に示すように、フォトレジスト膜 70 をマスクとして酸化チタン膜 76 をパターンニングし、ハードマスク 77 を形成する。酸化チタン膜 76 のエッチングは、実施の形態 3 と同様に行うことができる。また、酸化チタン膜 76 は 30 nm と薄いため、エッチング異方性は問題にならず、フォトレジスト膜 70 とほぼ同一の寸法でハードマスク 77 がパターンニングされる。これにより 0.13 μm 幅のラインアンドスペースパターンが形成される。

【0206】次に、図 20 (c) に示すように、フォトレジスト膜 70 を除去する。フォトレジスト膜 70 の除去は実施の形態 1 と同様である。

【0207】次に、図 20 (d) に示すように、ハードマスク 77 をマスクとしてルテニウム膜 55 をエッチングすることにより下部電極 51 を形成する。ルテニウム膜 55 のエッチングは、実施の形態 1 と同様に行う。

【0208】次に、図 20 (e) に示すように、ハードマスク 77 (酸化チタン膜) および酸化チタン膜 75 をエッチングする。

【0209】次に、図 20 (f) に示すように、BST 膜 58 を堆積する。BST 膜 58 は実施の形態 1 と同様に形成できる。このようにハードマスク 77 として酸化チタンを用いて前記実施の形態 1 ～ 5 と同様に下部電極 51 を形成できる。なお、酸化チタン膜に代えて酸化タングスタルを用いることもできる。

【0210】(実施の形態 7) 本実施の形態 7 の DRAM は、実施の形態 1 の DRAM と情報蓄積容量素子 C の構成および製造方法において相違するのみで、他の構成および製造方法は実施の形態 1 と同様である。従って、情報蓄積容量素子 C の製造方法について説明し、その他の説明は省略する。

【0211】図 21 は、実施の形態 7 の DRAM の情報

蓄積容量素子の製造工程の一例を工程順に示した断面図である。図 21 は、図 11 および図 12 と同様に、図 10 (a) における B-B 線断面を示し、また、DRAM の情報蓄積容量素子 C の領域のみを示している。

【0212】実施の形態 1 の図 8 の工程の後（ただし、実施の形態 1 の窒化チタン膜 47 に代えてシリコン窒化膜 78 を形成する。）、図 21 (a) に示すように、シリコン窒化膜 78 上にルテニウム膜 55、白金膜 79 およびシリコン酸化膜 71 を形成し、シリコン酸化膜 71 上にパターンニングされたフォトレジスト膜 70 を形成する。

【0213】ルテニウム膜 55 については、実施の形態 3 と同様であるため詳細な説明は省略する。白金膜 79 は、ルテニウム膜 55 をエッチングする際の一種のブロッキング膜であり、下部電極 51 の表面を保護する機能を有する。また、白金膜 79 は下部電極 51 の一部として機能する。白金膜 79 の膜厚は 30 nm である。

【0214】シリコン酸化膜 71 は、実施の形態 1 のシリコン酸化膜 56 と同様である。シリコン酸化膜 56 は白金膜 79 およびルテニウム膜 55 をエッチングする際のハードマスクとして機能するものであり、その膜厚は後のエッチング工程で減少することを考慮して 0.3 μm とする。

【0215】フォトレジスト膜 70 は、シリコン酸化膜 71 をパターンニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトレジスト膜 70 のパターンニングは、実施の形態 1 の場合と同様である。

【0216】次に、図 21 (b) に示すように、フォトレジスト膜 70 をマスクとしてシリコン酸化膜 71 をエッチングし、シリコン酸化膜からなるハードマスク 72 を形成する。シリコン酸化膜は異方性よく形成されるため、フォトレジスト膜 70 のパターンを忠実に再現し、ハードマスク 72 の底部においてもパターン幅 130 nm、パターン間隔 130 nm で形成される。

【0217】次に、図 21 (c) に示すように、フォトレジスト膜 70 を除去する。フォトレジスト膜 70 の除去は実施の形態 1 と同様である。

【0218】次に、図 21 (d) に示すように、シリコン酸化膜からなるハードマスク 72 をマスクとして白金膜 79 およびルテニウム膜 55 をエッチングする。ルテニウム膜 55 のエッチングは、実施の形態 1 と同様に行う。従って、ルテニウム膜 55 は、異方性よくテーパ角 89 度でほぼ垂直に形成される。これにより下部電極 51 を形成する。なお、下部電極 51 の上面には白金膜 79 が形成されており、白金膜はこのエッチング工程でほとんど削れないためルテニウム膜の肩削れを防止することができる。また、ハードマスク 72 は大きく削られ、下部電極 51 の上部に僅かに残存する程度にその膜厚が減少する。

【0219】次に、図21(e)に示すように、ハードマスク72を除去する。このハードマスク72の除去工程では白金膜79はほとんど削られない。なお、下地はシリコン窒化膜78で構成されるため、下地が過剰にエッチングされることもない。

【0220】次に、図21(f)に示すように、白金膜79を除去することなくBST膜58を堆積する。BST膜58は実施の形態1と同様に形成できる。このように白金膜79を除去することなくBST膜58を堆積するメリットは、実施の形態1で説明したメリットと同様である。その後の工程は実施の形態1と同様であるため説明を省略する。

【0221】なお、下部電極51の表面に残存するのは白金膜79であるため、耐熱性に優れ、BST膜58の酸化雰囲気における熱処理によっても体積増加が発生しないばかりか変質も起こらない。また、白金膜79は下部電極51の一部として機能し、BST膜58と接する下部電極51の全表面をキャパシタとして機能させることができる。これにより、下部電極51の全表面積がキャパシタに寄与し、情報蓄積容量素子Cの蓄積容量を増加しDRAMの性能向上を図ることができる。

【0222】なお、下部電極51を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることができることは実施の形態1と同様である。

【0223】(実施の形態8) 本実施の形態8のDRAMは、実施の形態1のDRAMと情報蓄積容量素子Cの構成および製造方法において相違するのみで、他の構成および製造方法は実施の形態1と同様である。従って、情報蓄積容量素子Cの製造方法について説明し、その他の説明は省略する。

【0224】図22は、実施の形態8のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図22は、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0225】実施の形態1の図8の工程の後、図22(a)に示すように、窒化チタン膜47上にルテニウム膜55およびシリコン窒化膜80を形成し、シリコン窒化膜80上にパターンニングされたフォトレジスト膜70を形成する。

【0226】ルテニウム膜55については、実施の形態1と同様であるため詳細な説明は省略する。シリコン窒化膜80は、ルテニウム膜55をエッチングする際のハードマスクとして機能し、その膜厚はルテニウム膜55のエッチングの際の膜厚減少分を考慮して60nmとする。

【0227】フォトレジスト膜70は、シリコン窒化膜80をパターンニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトレジスト膜70のパターンニングは、実施の形態1の場合と同様

である。

【0228】次に、図22(b)に示すように、フォトレジスト膜70をマスクとしてシリコン窒化膜80をエッチングし、シリコン窒化膜からなるハードマスク81を形成する。シリコン窒化膜は異方性よく形成されるため、フォトレジスト膜70のパターンを忠実に再現し、ハードマスク81の底部においてもパターン幅130nm、パターン間隔130nmで形成される。

【0229】次に、図22(c)に示すように、フォトレジスト膜70を除去する。フォトレジスト膜70の除去は実施の形態1と同様である。

【0230】次に、図22(d)に示すように、シリコン窒化膜からなるハードマスク81をマスクとしてルテニウム膜55をエッチングする。ルテニウム膜55のエッチングは、実施の形態1と同様に行う。従って、ルテニウム膜55は、異方性よくテーパ角89度でほぼ垂直に形成される。これにより下部電極51を形成する。なお、このエッチング工程でハードマスク81は幾分エッチングされ、その膜厚は40nmに減少する。

【0231】次に、図22(e)に示すように、窒化チタン膜47を除去する。この窒化チタン膜の除去工程では、ハードマスク81がさらに削られ、その稜部が丸みを帯びようになる。この結果、次工程のBST膜58の被覆性を向上し、情報蓄積容量素子Cの信頼性を向上できる。

【0232】次に、図22(f)に示すように、ハードマスク81を除去することなくBST膜58を堆積する。BST膜58は実施の形態1と同様に形成できる。このようにハードマスク81を除去することなくBST膜58を堆積するメリットは、実施の形態1で説明したメリットと同様である。さらに、本実施の形態ではハードマスク81として、シリコン窒化膜よりも誘電率の高いシリコン窒化膜を用いているため、実施の形態1の場合と比較して下部電極51上部のキャパシタ容量値に寄与する割合が大きくなる。その後の工程は実施の形態1と同様であるため説明を省略する。

【0233】なお、下部電極51を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることができることは実施の形態1と同様である。

【0234】(実施の形態9) 本実施の形態9のDRAMは、実施の形態1のDRAMと情報蓄積容量素子Cの構成および製造方法において相違するのみで、他の構成および製造方法は実施の形態1と同様である。従って、情報蓄積容量素子Cの製造方法について説明し、その他の説明は省略する。

【0235】図23は、実施の形態9のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図23は、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0236】実施の形態1の図8の工程の後(ただし、実施の形態1の窒化チタン膜47に代えてシリコン窒化膜78を形成する。)、図23(a)に示すように、シリコン窒化膜78上にルテニウム膜55およびシリコン酸化膜82を形成し、シリコン酸化膜82上にパターンニングされたフォトレジスト膜70を形成する。

【0237】ルテニウム膜55については、実施の形態1と同様であるため詳細な説明は省略する。シリコン酸化膜82は、ルテニウム膜55をエッチングする際のハードマスクとして機能し、その膜厚はルテニウム膜55のエッチングが完了した時点でちょうど消失するように膜厚を選択する。たとえば150nmとする。

【0238】フォトレジスト膜70は、シリコン酸化膜82をパターンニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトレジスト膜70のパターンニングは、シリコン酸化膜82の膜厚も考慮したうえで、ルテニウム膜55のエッチングが完了した時点でちょうどシリコン酸化膜82が消失するように選択する。シリコン酸化膜82の膜厚が150nmの場合、たとえばパターン幅を80nm、パターン間隔を180nmとする。

【0239】次に、図23(b)に示すように、フォトレジスト膜70をマスクとしてシリコン酸化膜82をエッチングし、シリコン窒化膜からなるハードマスク83を形成する。シリコン酸化膜は異方性よく形成されるため、フォトレジスト膜70のパターンを忠実に再現し、ハードマスク83の底部においてもパターン幅80nm、パターン間隔180nmが維持される。

【0240】次に、図23(c)に示すように、フォトレジスト膜70を除去する。フォトレジスト膜70の除去は実施の形態1と同様である。

【0241】次に、図23(d)に示すように、シリコン酸化膜からなるハードマスク83をマスクとしてルテニウム膜55をエッチングする。ルテニウム膜55のエッチングは、実施の形態1のエッチング条件を若干変更し、ルテニウム膜55のエッチング形状が若干テーパ形状を有する条件を選択する。たとえば実施の形態1ではオーバーエッチングを100%行っているが、これを30%にする。その他の条件は実施の形態1の場合と同様とする。このような条件では、ルテニウム膜55はテーパ角89度にエッチングされず、85度程度でエッチングされる。また、前記の通りルテニウム膜55のエッチング終了時点でハードマスク83が消失するようにその膜厚およびパターン幅を選択している。この結果、エッチングが終了した時点で、下部電極51の断面形状は、図示するように、三角形状になる。このように本実施の形態では下部電極51の形成完了時点でハードマスク83が消失しており、これをエッチングして除去する必要がない。この結果、工程を簡略し、また、下部電極51の加工形状を悪化させず、さらに、下地を荒れさせるこ

ともない。

【0242】次に、図23(e)に示すように、BST膜58を堆積する。BST膜58は実施の形態1と同様に形成できる。

【0243】このように本実施の形態ではハードマスク83を除去する必要があるため、実施の形態1で説明したと同様の効果が得られるさらに、本実施の形態では下部電極51とBST膜58との間に、容量値を低下させるような物質が形成されておらず、下部電極51の全表面積を有効に使用することができる。

【0244】なお、下部電極51を二酸化ルテニウム、あるいはルテニウムと二酸化ルテニウムとの積層膜とすることができることは実施の形態1と同様である。また、シリコン窒化膜78を窒化チタン膜に代えることができる。この場合、図23(d)工程の後に、窒化チタン膜をエッチングする必要がある。エッチング工程の増加を考慮すればシリコン窒化膜78を用いる方が好ましい。

【0245】(実施の形態10) 本実施の形態10のDRAMは、実施の形態1のDRAMと情報蓄積容量素子Cの構成および製造方法において相違し、またその他の構成は各部材の寸法の点で相違する。すなわち、実施の形態1では、下部電極51が図10(a)におけるB-B線方向に260μmピッチで形成されるが、本実施の形態では160μmピッチで形成される。つまり、本実施の形態のDRAMは4~16Gbitの集積度を有するデバイスに適用されるものである。従って、情報蓄積容量素子C以外の部分の寸法は、前記160μmピッチの適合するように形成される。

【0246】図24は、実施の形態10のDRAMの情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。図24は、図11および図12と同様に、図10(a)におけるB-B線断面を示し、また、DRAMの情報蓄積容量素子Cの領域のみを示している。

【0247】実施の形態1の図8の工程の後(ただし各部材は前記した寸法に適合するように形成される。また、窒化チタン膜47に代えて酸化チタン膜75を形成している。)、図24(a)に示すように、シリコン窒化膜75上にイリジウム膜84、ルテニウム膜85およびシリコン酸化膜86を形成し、シリコン酸化膜86上にパターンニングされたフォトレジスト膜70を形成する。

【0248】イリジウム膜84は、たとえばCVD法またはスパッタ法により形成され、下部電極51の一部となるものである。その膜厚はたとえば300nmとする。ルテニウム膜85は、イリジウム膜84のエッチングの際のハードマスクの一部として用いられるものであり、100nmの膜厚で形成される。シリコン酸化膜86は、実施の形態1のシリコン酸化膜56と同様であり、ルテニウム膜85をエッチングする際のハードマ

30

40

50

クとして機能する。その膜厚は後のエッチング工程で減少することを考慮して100nmとする。

【0249】フォトレジスト膜70は、シリコン酸化膜86をパターンニングする際のマスクに用いられ、通常のフォトリソグラフィ工程により形成する。フォトレジスト膜70のパターンニングは、実施の形態1の場合と同様に形成する。ただし、パターン寸法は実施の形態1よりも小さく、パターン幅を80nm、パターン間隔を80nmとする。フォトレジスト膜70の膜厚は、シリコン酸化膜86のエッチングの際の減少分を考慮して300nmとする。フォトレジスト膜70にEB (Electron Beam) レジストを用いることができることは実施の形態1と同様である。

【0250】次に、図24 (b) に示すように、フォトレジスト膜70をマスクとしてシリコン酸化膜86をエッチングし、ルテニウム膜85をパターンニングするためのハードマスク87を形成する。シリコン酸化膜は異方性よく形成されるため、フォトレジスト膜70のパターンを忠実に再現し、ハードマスク87の底部においてもパターン幅80nm、パターン間隔80nmで形成される。

【0251】次に、図24 (c) に示すように、フォトレジスト膜70を除去する。フォトレジスト膜70の除去は実施の形態1と同様である。

【0252】次に、図24 (d) に示すように、シリコン酸化膜からなるハードマスク87をマスクとしてルテニウム膜85をパターンニングし、ルテニウムからなるハードマスク88を形成する。ルテニウム膜85のエッチングには、実施の形態1の図11 (d) 工程で説明したルテニウムの高異方性エッチングを用いる。このようなエッチング条件では、ルテニウム膜85のエッチングレートは約112nm/minでありシリコン酸化膜からなるハードマスク87に対する選択比は約10と大きい。このような条件では、ハードマスク88のテーパ角は89度とほぼ垂直に形成され、ハードマスク87のパターンを忠実に再現したハードマスク88のパターンが形成される。なお、この段階でハードマスク87も一部が削られ、その膜厚が減少する。

【0253】次に、図24 (e) に示すように、ハードマスク87、88をマスクとしてイリジウム膜84をエッチングすることにより下部電極51を形成する。なお、この段階でハードマスク87がさらに削られ、その膜厚がさらに減少する。イリジウム膜84のエッチングは、前工程のルテニウム膜85のエッチングと同様に行う。従って、イリジウム膜84は、異方性よくテーパ角89度でほぼ垂直に形成される。

【0254】次に、図24 (f) に示すように、ハードマスク87、88を除去することなくPZT膜89を堆積する。PZT膜89はたとえばスパッタ法またはCVD法により形成できる。このようにハードマスク87、

88を除去することなくPZT膜89を堆積するメリットは、実施の形態1で説明したメリットと同様である。なお、下部電極51の表面部分に形成されたハードマスク88はルテニウムで構成されるため、耐熱性に優れ、PZT膜89との親和性も高い。さらに、ハードマスク88の側面部分はキャパシタ容量値に寄与することができる。ただし、ハードマスク87はシリコン酸化膜で構成されるため、その部分はキャパシタ容量値に寄与しない。このようにキャパシタ容量値に寄与しない部分があっても、容量値全体の低下率は許容できる範囲であることは実施の形態1と同様である。

【0255】その後の工程は実施の形態1とほぼ同様であるため説明を省略する。ただし、PZT膜89のアニールは約500℃で行い、上部電極としてはイリジウム膜を用いる。

【0256】本実施の形態によれば、実施の形態1で説明した効果に加えて、さらに高集積な情報蓄積容量素子Cが形成できる。これにより4~16GbitクラスのDRAMを製造できる。

【0257】なお、下部電極51を酸化イリジウム、あるいはイリジウムと酸化イリジウムとの積層膜とすることができる。また、前記図24 (e) の工程の後、シリコン窒化膜75をエッチングするとともにハードマスク87を除去することもできる。この場合、ハードマスク87が存在しなくなり、ハードマスク88の上面部もキャパシタの容量値に寄与することができる。これにより蓄積容量の増加を図ることができる。

【0258】(実施の形態11) 図25および図2-6は、実施の形態11のFeRAMの製造工程の一例をその情報蓄積容量素子Cの部分について工程順に示した断面図である。本実施の形態のFeRAMは、選択MISFETおよび周辺回路の部分は実施の形態1と同様である。以下、情報蓄積容量素子Cの部分についてのみ説明する。

【0259】実施の形態1の図8の工程の後、図25 (a) に示すように、膜厚20nmのチタン膜90、膜厚150nmのイリジウム膜91、膜厚20nmの白金膜92、膜厚250nmのPZT膜93、膜厚150nmのイリジウム膜94、および膜厚20nmの白金膜95を順次堆積する。さらに、白金膜95上に実施の形態2で説明したと同様なラウンドレジスト膜96を形成する。ラウンドレジスト膜96は、プラグ49上に形成する。

【0260】次に、図25 (b) に示すように、ラウンドレジスト膜96をマスクにして白金膜95をエッチングする。この白金膜95のエッチングは、たとえばマグネトロン反応性イオンエッチング法を用いることができる。エッチング条件は、たとえば反応圧力を5mTorr、RF電力を1.2kW、エッチングガスを塩素(Cl₂) およびアルゴンを各々20sccmおよび10sccm

cm、基板温度を30℃とすることができる。このような条件の場合、テーパ角が70度程度の異方性を発現する。このエッチングでは、ラウンドレジスト膜96が形成されているため、エッチングされた白金膜95の側壁に不着物は発生しない。

【0261】次に、図25(c)に示すように、ラウンドレジスト膜96をアッシング等で除去し、エッチングされた白金膜95をマスクにしてイリジウム膜94をエッチングする(図25(d))。このイリジウム膜94のエッチングも前記白金膜95のエッチングと同様に行う。エッチングされたイリジウム膜94のテーパ角はほぼ70度となり、側壁付着物は発生しない。

【0262】次に、イリジウム膜94のエッチングの際のハードマスクとして用いた白金膜95を除去することなく、エッチングされたイリジウム膜94を覆うようにレジスト膜97を形成する(図25(e))。その後、レジスト膜97をマスクにしてPZT膜93をエッチングする(図25(f))。PZT膜93のエッチングは、白金膜95のエッチングと同様に行う。エッチングされたPZT膜93のテーパ角はほぼ70度となり、側壁付着物は発生しない。

【0263】次に、レジスト膜97を除去し(図25(g))、エッチングされたPZT膜93を覆うようにレジスト膜98を形成する。その後、レジスト膜98をマスクにして白金膜92をエッチングする(図25(h))。さらに、レジスト膜98およびエッチングされた白金膜92をマスクにして、イリジウム膜91、チタン膜90をエッチングする(図25(i))。最後にレジスト膜98をアッシング等で除去する(図25(j))。

【0264】このようにして、パターニングされた白金膜95およびイリジウム膜94からなる上部電極と、パターニングされたPZT膜93からなる誘電体膜と、パターニングされた白金膜92およびイリジウム膜91からなる下部電極とからなるキャパシタが形成される。

【0265】本実施の形態によれば、白金膜95、92を用いてイリジウム膜94、91をエッチングすることができ、精度よくFeRAMのキャパシタを形成できる。

【0266】なお、白金に代えてルテニウムを用いることができる。この場合のエッチングは、実施の形態1で説明したルテニウム膜のエッチング方法を用いることができる。また、PZTに代えてBSTを用いることもできる。

【0267】以上、本発明者によってなされた発明を実施の形態に基づいて具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0268】たとえば、実施の形態2では、ルテニウム

膜55のエッチングの際のハードマスクに白金を用いているが、下部電極51をイリジウム、酸化イリジウム、あるいはイリジウムと酸化イリジウムとの積層膜とすることができる。この場合下部電極51となるイリジウム等導電膜の膜厚を300nm、フォトレジスト膜67の寸法を、パターン幅60nm、パターン間隔100nmとすることができる。また、容量絶縁膜としてPZT膜を用い、上部電極としてリジウム、酸化イリジウム、あるいはイリジウムと酸化イリジウムとの積層膜を適用することができる。このような構成において実施の形態2の製造方法を適用すれば、実施の形態10と同様に4~16GbitクラスのDRAMを製造できる。

【0269】また、PZT膜をイリジウム、酸化イリジウム、あるいはイリジウムと酸化イリジウムとの積層膜のエッチングマスク(ハードマスク)に適用することもできる。実施の形態5のルテニウム膜55をイリジウム、酸化イリジウム、あるいはイリジウムと酸化イリジウムとの積層膜に置き換え、BST膜73をPZT膜に置き換え、フォトレジスト膜70の寸法を、パターン幅60nm、パターン間隔100nmとし、実施の形態5の加工方法を適用してイリジウム等からなる下部電極を形成することができる。このような構成においても実施の形態10と同様に4~16GbitクラスのDRAMを製造できる。なお、この場合、容量絶縁膜としてPZT膜を用い、上部電極としてリジウム、酸化イリジウム、あるいはイリジウムと酸化イリジウムとの積層膜を適用することは前記と同様である。

【0270】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0271】(1) BST等の強誘電体膜に適したルテニウムあるいは酸化ルテニウム等の微細なエッチング加工を実現できる。

【0272】(2) 窒化チタン膜等のハードマスクの除去工程に伴うパターンの細り、パターン上面の荒れの発生、下地絶縁膜の削れを防止し、高信頼な容量絶縁膜の形成ができる。

【0273】(3) 蓄積容量形成工程が簡略化できる。

【図面の簡単な説明】

【図1】実施の形態1のDRAMを形成した半導体チップの全体平面図である。

【図2】実施の形態2のDRAMの等価回路図である。

【図3】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図4】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図5】実施の形態1のDRAMの製造工程の一例を工程順に示した断面図である。

【図6】実施の形態1のDRAMの製造工程の一例を工

程順に示した断面図である。

【図 7】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 8】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 9】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 10】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 11】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 12】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 13】ルテニウム膜のエッチングに使用するエッチング装置の一例を示した断面概念図である。

【図 14】オーバーエッチングの概念を説明するグラフである。

【図 15】実施の形態 1 の DRAM の製造工程の一例を工程順に示した断面図である。

【図 16】実施の形態 2 の DRAM の情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図 17】実施の形態 3 の DRAM の情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図 18】実施の形態 4 の DRAM の情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図 19】実施の形態 5 の DRAM の情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図 20】実施の形態 6 の DRAM の情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図 21】実施の形態 7 の DRAM の情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図 22】実施の形態 8 の DRAM の情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図 23】実施の形態 9 の DRAM の情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図 24】実施の形態 10 の DRAM の情報蓄積容量素子の製造工程の一例を工程順に示した断面図である。

【図 25】実施の形態 11 の FeRAM の製造工程の一例をその情報蓄積容量素子の部分について工程順に示した断面図である。

【図 26】実施の形態 11 の FeRAM の製造工程の一例をその情報蓄積容量素子の部分について工程順に示した断面図である。

【図 27】テーパ角と微細パターン形状との関係を模式的に示した断面図である。

【符号の説明】

1 集積回路基体

1A 半導体チップ

5 溝

5 素子分離溝

6 シリコン酸化膜

7 シリコン酸化膜

10 n 型半導体領域

11 p 型ウエル

12 n 型ウエル

13 ゲート酸化膜

14A ゲート電極

14B ゲート電極

14C ゲート電極

15 シリコン窒化膜

16 フォトレジスト膜

17 p⁺ 型半導体領域

18 n⁺ 型半導体領域

19 n 型半導体領域

20 シリコン窒化膜

20a サイドウォールスペーサ

21 フォトレジスト膜

22 p⁺ 型半導体領域

23 n⁺ 型半導体領域

24 SOG 膜

25 シリコン酸化膜

26 シリコン酸化膜

28 コンタクトホール

29 コンタクトホール

30 プラグ

31 シリコン酸化膜

34 コンタクトホール

36 コンタクトホール

38 第 1 層配線

40 シリコン窒化膜

43 サイドウォールスペーサ

44 SOG 膜

45 シリコン酸化膜

46 シリコン酸化膜

47 窒化チタン膜

48 スルーホール

49 プラグ

50 バリアメタル

51 下部電極

40 51a 上面部

51b 側面部

52 シリコン酸化膜

53 容量絶縁膜

54 上部電極

55 ルテニウム膜

56 シリコン酸化膜

57 フォトレジスト膜

58 BST 膜

59 ルテニウム膜

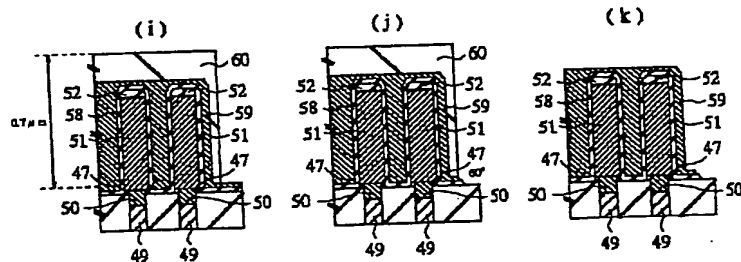
50 60 フォトレジスト膜

61 シリコン酸化膜
 62 スルーホール
 63 スルーホール
 64 プラグ
 65 第2層配線
 66 白金膜
 67 フォトリソグ膜
 68 ハードマスク
 69 側壁付着物
 70 フォトリソグ膜
 71 シリコン酸化膜
 72 ハードマスク
 73 BST膜
 74 ハードマスク
 75 シリコン窒化膜
 75 酸化チタン膜
 76 酸化チタン膜
 77 ハードマスク
 78 シリコン窒化膜
 79 白金膜
 80 シリコン窒化膜
 81 ハードマスク
 82 シリコン酸化膜
 83 ハードマスク
 84 イリジウム膜
 85 ルテニウム膜
 86 シリコン酸化膜
 87 ハードマスク
 88 ハードマスク
 89 PZT膜
 90 チタン膜
 91 イリジウム膜
 92 白金膜
 93 PZT膜

94 イリジウム膜
 95 白金膜
 96 ラウンドレジスト膜
 97 レジスト膜
 98 レジスト膜
 100 オーバーエッチング量
 101 反応室
 102 真空配管
 103 試料台
 104 石英筒
 105 誘導結合コイル
 110 ガス供給ノズル
 BL ヒット線
 BST 強誘電材料
 C 情報蓄積容量素子
 CV コントロールバルブ
 MARY メモリアレイ
 MBP メカニカルブースターポンプ
 MFC1 マスフローコントローラ
 20 MFC2 マスフローコントローラ
 Qn nチャネル型MISFET
 Qp pチャネル型MISFET
 Qs メモリセル選択用MISFET
 RF1 高周波電源
 RF2 高周波電力
 RV 荒引きバルブ
 S1 第1の面積
 S2 第2の面積
 SA センスアンプ
 30 TMP ターボ分子ポンプ
 WD ワードドライバ
 WL ワード線
 t 時刻

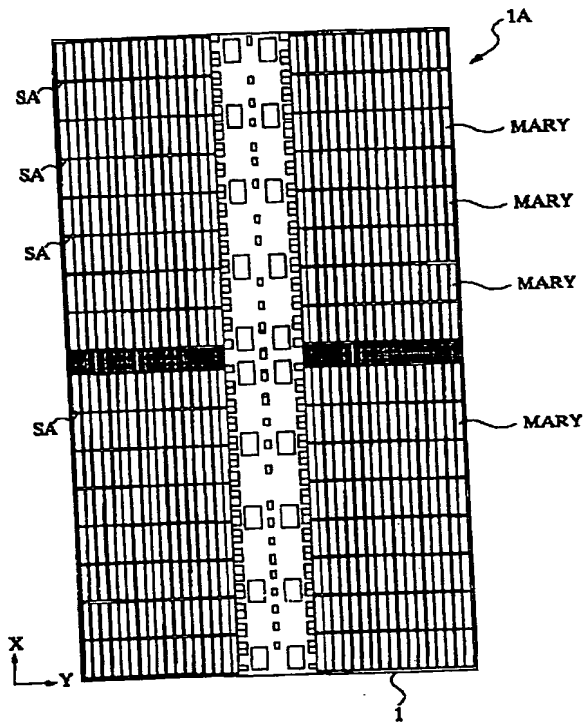
【図12】

図 12



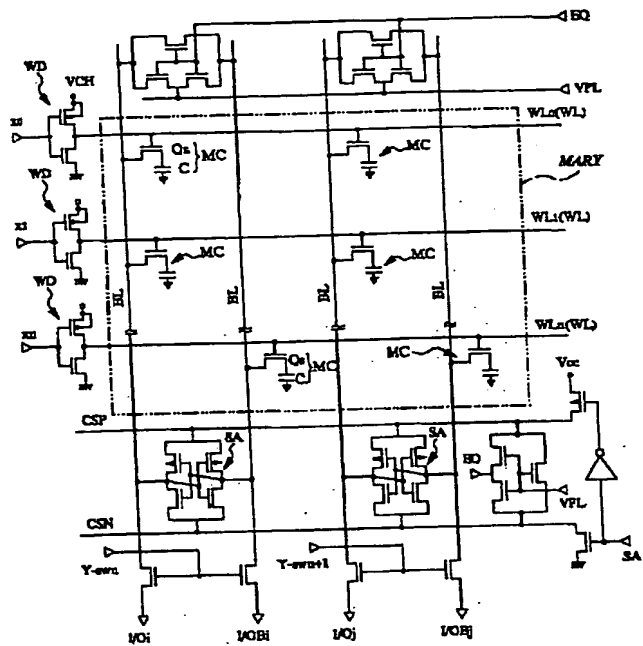
【図1】

図 1



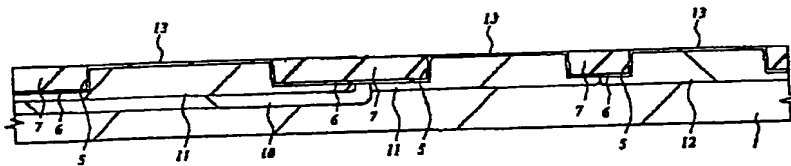
【図2】

図 2



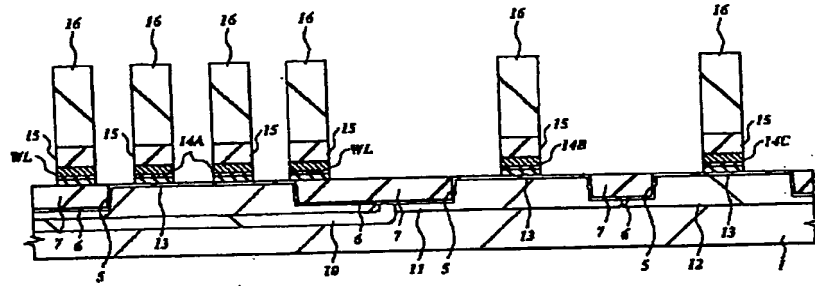
【図3】

図 3



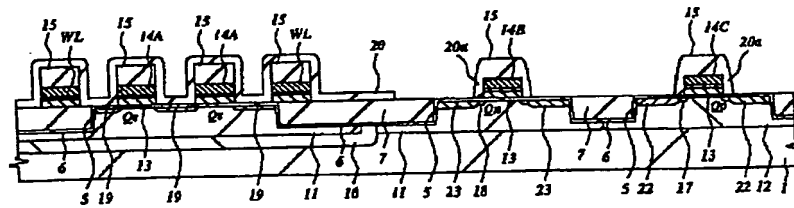
【図4】

図4



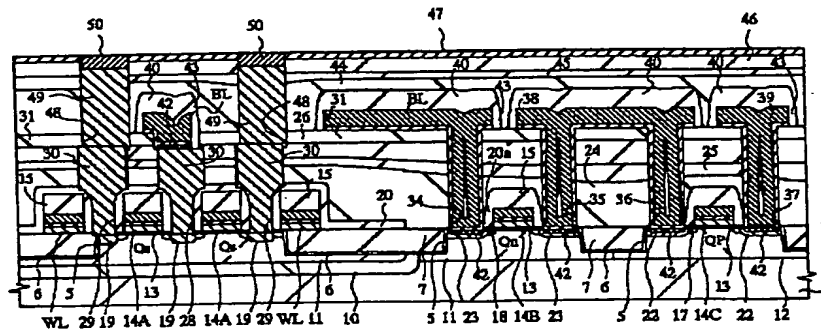
【図5】

図5



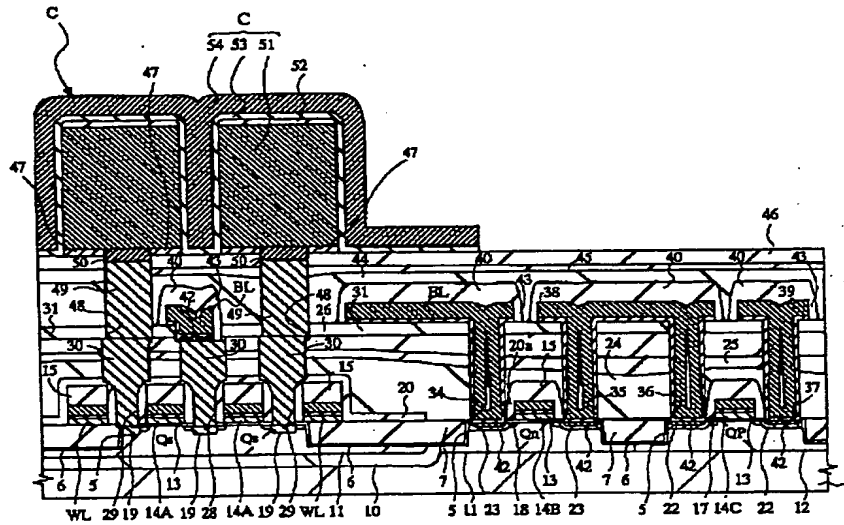
【図 8】

図 8



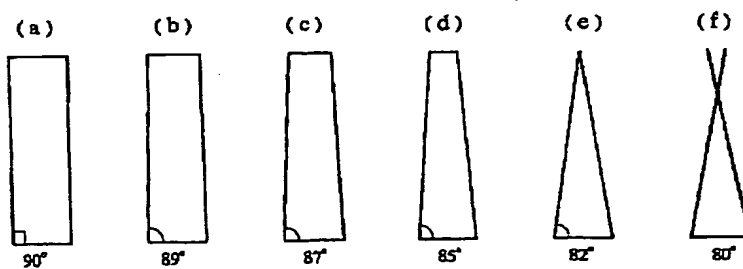
【図 9】

図 9



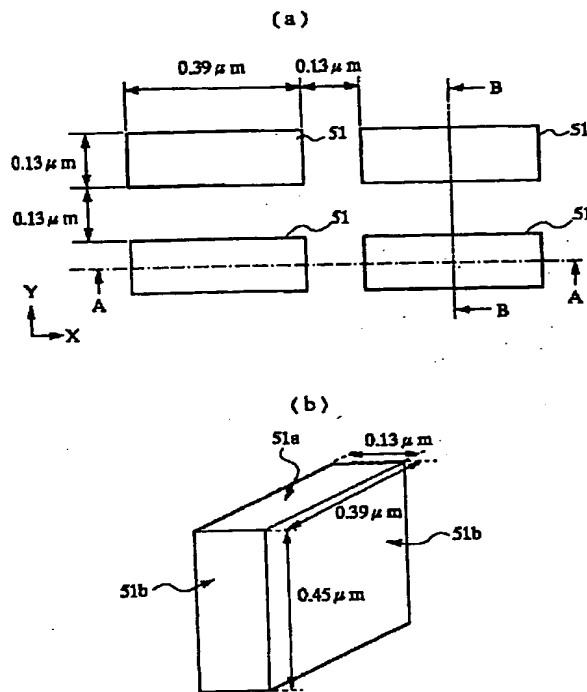
【図 27】

図 27



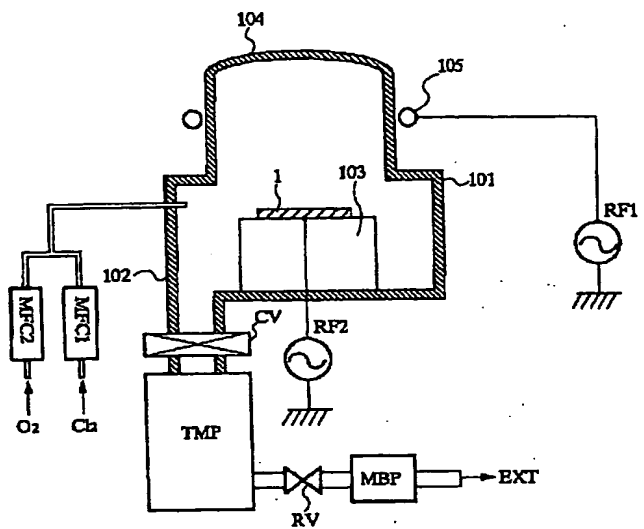
【図10】

図 10



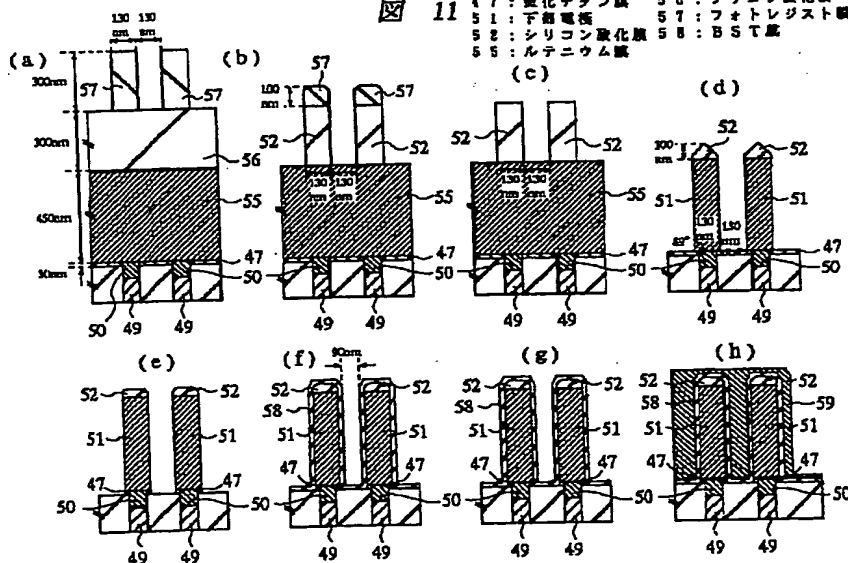
【図13】

図 13



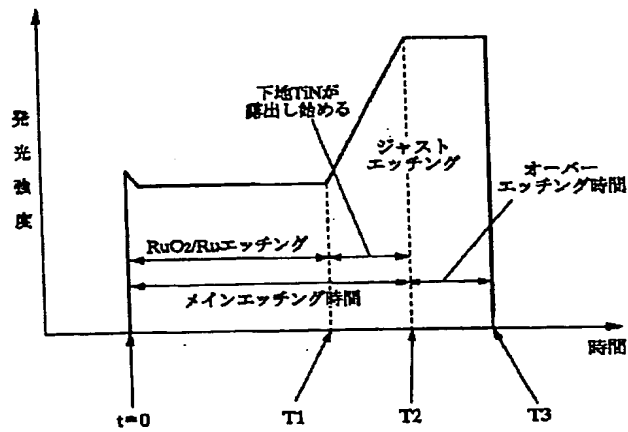
【図11】

図 11



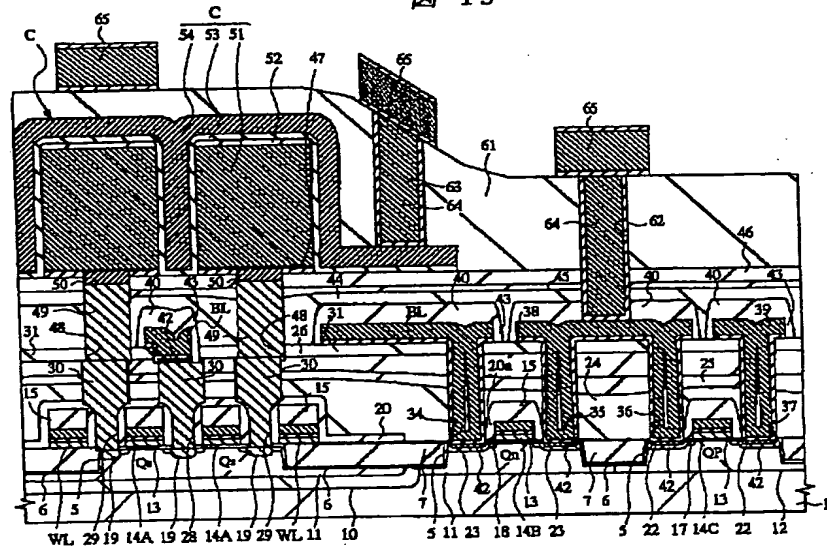
【図14】

図 14



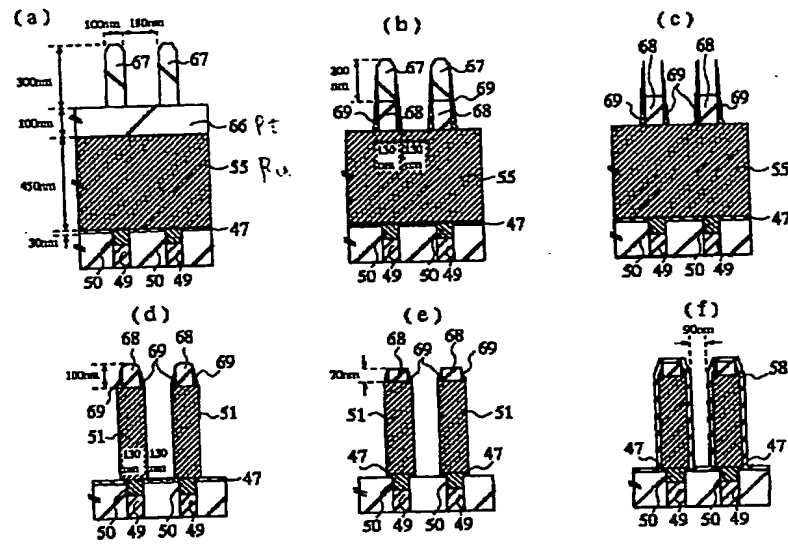
【図15】

図 15



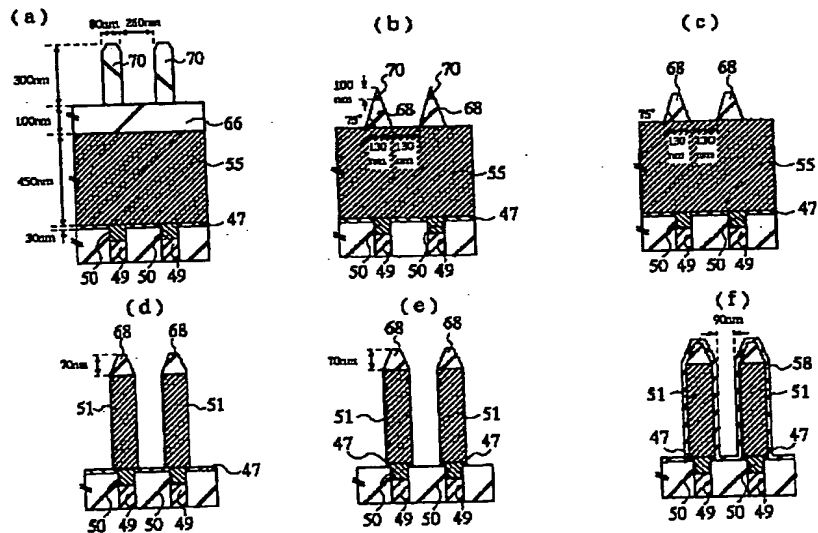
【図16】

図 16

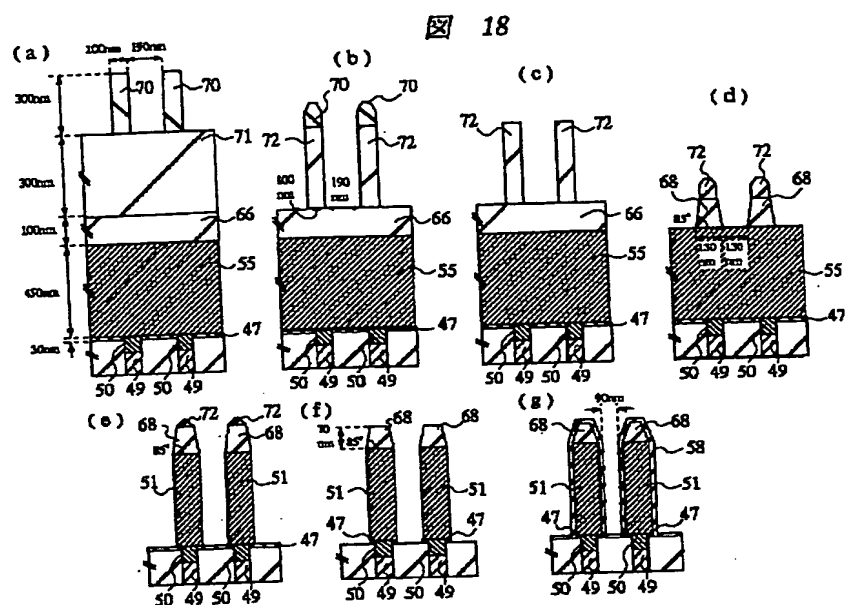


【図17】

図 17

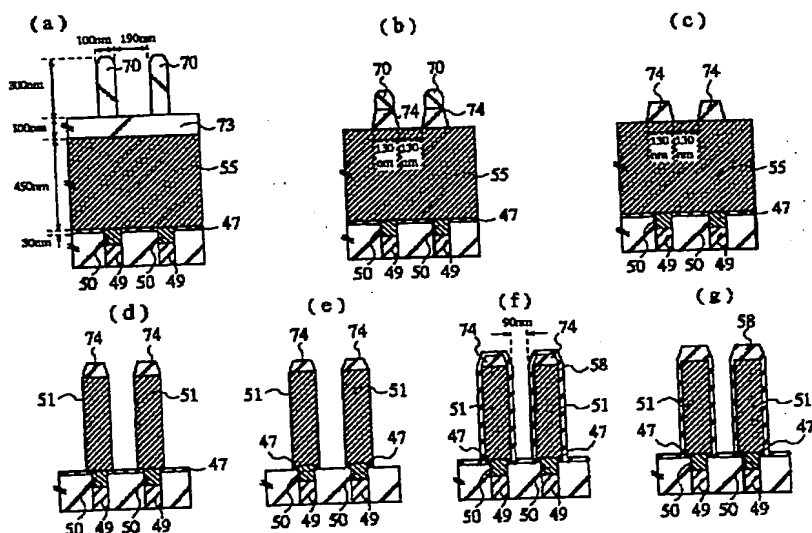


【図18】



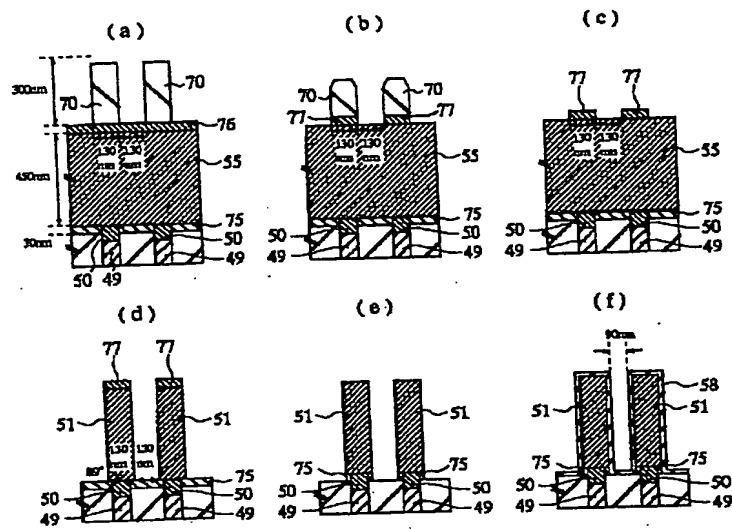
【図19】

図 19



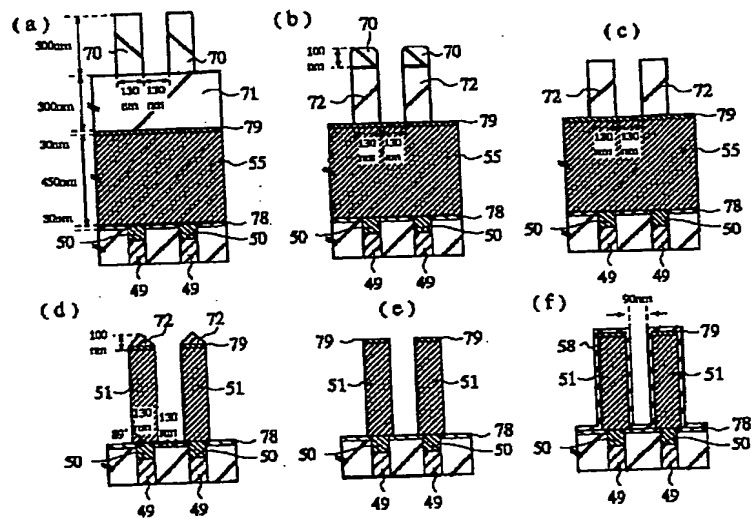
【図20】

図 20



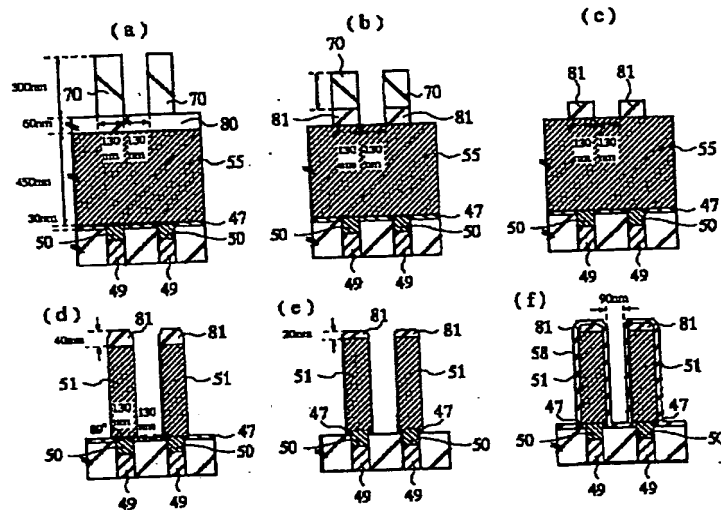
【図21】

図 21



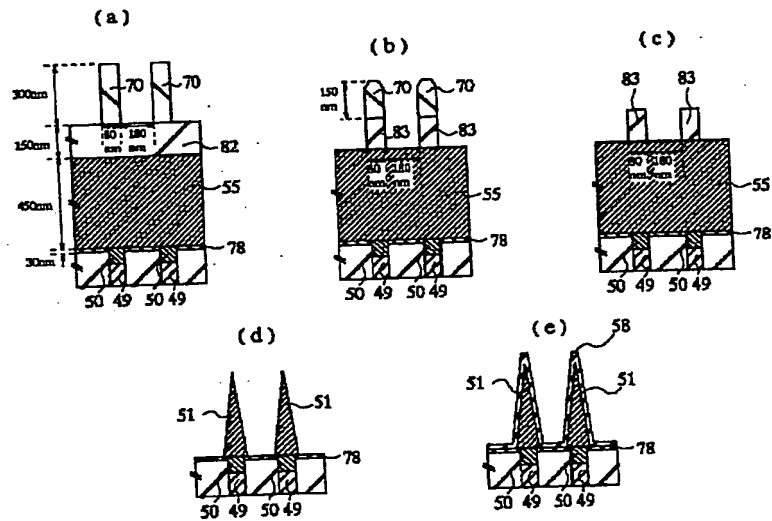
【図 22】

図 22

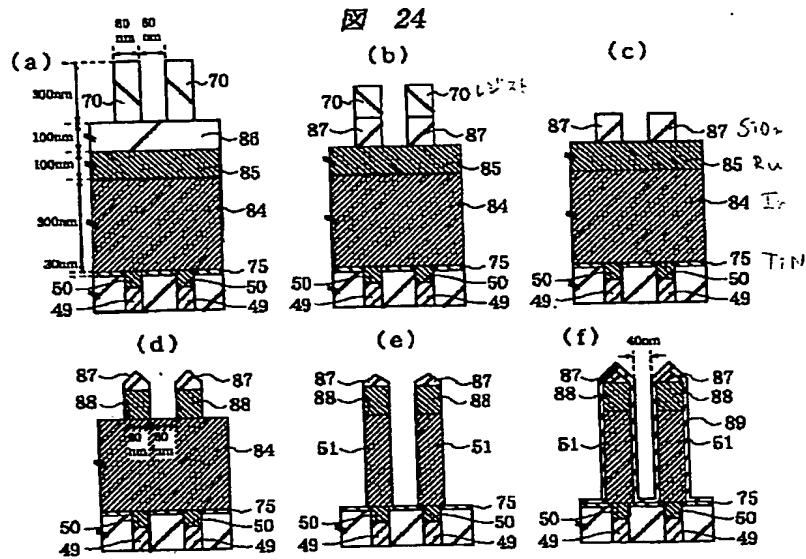


【図 23】

図 23

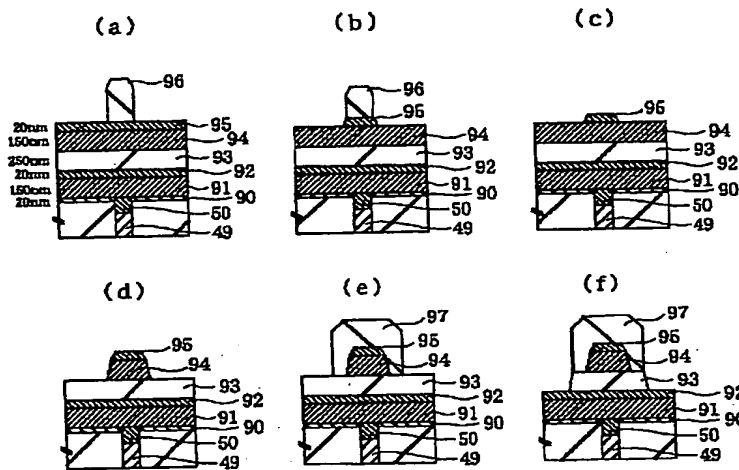


【図24】



【図25】

図 25



【手続補正書】

【提出日】平成11年2月16日（1999. 2. 16）

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0263

【補正方法】変更

【補正内容】

【0263】次に、レジスト膜97を除去し（図26（g））、エッチングされたPZT膜93を覆うように

レジスト膜98を形成する。その後、レジスト膜98をマスクにして白金膜92をエッチングする（図26（h））。

さらに、レジスト膜98およびエッチングされた白金膜92をマスクにして、イリジウム膜91、チタン膜90をエッチングする（図26（i））。最後にレジスト膜98をアッシング等で除去する（図26（j））。

【手続補正2】

【補正対象書類名】図面

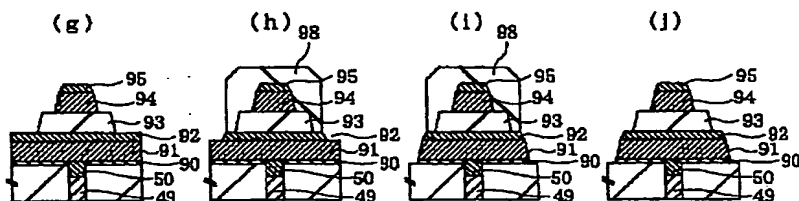
【補正対象項目名】図26

【補正内容】

【補正方法】変更

【図26】

図 26



フロントページの続き

(72)発明者 大路 譲

東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

Fターム(参考) 5F083 AD21 AD56 AD60 FRO1 GA21

HA02 JA15 JA17 JA19 JA32

JA38 JA39 JA40 JA42 JA43

KA01 KA05 LA03 LA12 LA16

LA29 LA30 NA01 PRO3 PR12

PR21 PR33 PR36 PR40